

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月26日
Date of Application:

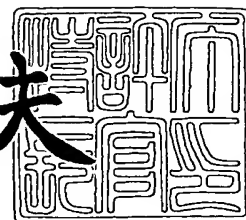
出願番号 特願2002-377674
Application Number:
[ST. 10/C]: [JP 2002-377674]

出願人 TDK株式会社
Applicant(s):

2003年 8月29日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3070739

【書類名】 特許願

【整理番号】 P04613

【提出日】 平成14年12月26日

【あて先】 特許庁長官殿

【国際特許分類】 G01B 5/39

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

【氏名】 田中 浩介

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

【氏名】 島沢 幸司

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

【氏名】 照沼 幸一

【特許出願人】

【識別番号】 000003067

【氏名又は名称】 ティーディーケイ株式会社

【代理人】

【識別番号】 100088155

【弁理士】

【氏名又は名称】 長谷川 芳樹

【選任した代理人】

【識別番号】 100092657

【弁理士】

【氏名又は名称】 寺崎 史朗

【選任した代理人】

【識別番号】 100108213

【弁理士】

【氏名又は名称】 阿部 豊隆

【手数料の表示】

【予納台帳番号】 014708

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜磁気ヘッド、薄膜磁気ヘッド組立体、記憶装置及び薄膜磁気ヘッドの製造方法

【特許請求の範囲】

【請求項 1】 磁気抵抗効果膜と、

前記磁気抵抗効果膜のトラック幅方向における両側に互いに離間して配置され、当該磁気抵抗効果膜にバイアス磁界を印加するための一対の磁区制御層と、

前記磁気抵抗効果膜の前記トラック幅方向における両側に互いに離間して前記磁区制御層と積層された状態で配置され、当該磁気抵抗効果膜に電流を供給するための一対の電極層と、

前記磁気抵抗効果膜、前記磁区制御層及び前記電極層を挟むように積層方向に離間して配置され、当該磁気抵抗効果膜をシールドするための第 1 及び第 2 のシールド層と、

前記磁気抵抗効果膜及び前記磁区制御層と前記第 1 のシールド層との間に配置された第 1 の絶縁層と、

前記磁気抵抗効果膜及び前記電極層と前記第 2 のシールド層との間に配置された第 2 の絶縁層と、を備え、

前記電極層及び前記磁区制御層が積層された位置での前記シールド層の間隔が前記磁気抵抗効果膜位置での間隔よりも狭く、且つ、前記電極層及び前記磁区制御層が積層された位置における前記磁区制御層の前記第 1 の絶縁層側の面を基準面として、当該基準面から前記電極層の前記第 2 の絶縁層側の面までの間隔が当該基準面から前記磁気抵抗効果膜の前記第 2 の絶縁層側の面までの間隔よりも狭く設定されていることを特徴とする薄膜磁気ヘッド。

【請求項 2】 前記磁気抵抗効果膜における前記トラック幅方向の端部から当該トラック幅方向に所定長さ以上離れて配置され、前記電極層に電氣的に接続される新たな電極層を更に備えることを特徴とする請求項 1 に記載の薄膜磁気ヘッド。

【請求項 3】 前記新たな電極層は、その厚みが前記電極層の厚みよりも大きく設定されていることを特徴とする請求項 2 に記載の薄膜磁気ヘッド。

【請求項 4】 前記磁気抵抗効果膜における前記トラック幅方向の端部から当該トラック幅方向に所定長さ以上離れて配置され、前記磁区制御層に積層される新たな磁区制御層を更に備えることを特徴とする請求項 1 に記載の薄膜磁気ヘッド。

【請求項 5】 前記磁気抵抗効果膜の前記第 2 の絶縁層側の面における前記トラック幅方向の端部から 50 nm～200 nmまでの範囲において、前記基準面から前記電極層の前記第 2 の絶縁層側の面までの前記間隔が前記基準面から前記磁気抵抗効果膜の前記第 2 の絶縁層側の面までの前記間隔よりも狭く設定されていることを特徴とする請求項 1 に記載の薄膜磁気ヘッド。

【請求項 6】 請求項 1～5 のいずれか一項に記載の薄膜磁気ヘッドと、当該薄膜磁気ヘッドが取り付けられる可撓性部材と、を備えることを特徴とする薄膜磁気ヘッド組立体。

【請求項 7】 信号を磁氣的に記録する磁気記録媒体と、前記磁気記録媒体から漏洩する磁界の変化を電気信号に変換する請求項 1～6 のいずれか一項に記載の薄膜磁気ヘッドと、を備えることを特徴とする記憶装置。

【請求項 8】 磁気抵抗効果膜と、前記磁気抵抗効果膜にバイアス磁界を印加するための磁区制御層と、前記磁気抵抗効果膜に電流を供給するための電極層と、を備えた薄膜磁気ヘッドの製造方法であって、

前記磁気抵抗効果膜の上に、所望パターンの第 1 のレジスト層を形成する工程と、

前記第 1 のレジスト層をマスクとして、前記磁気抵抗効果膜を除去する工程と、

前記第 1 のレジスト層をマスクとして、前記磁気抵抗効果膜の両側に前記磁区制御層及び第 1 の電極層を順次形成する工程と、

前記第 1 のレジスト層を除去する工程と、

前記磁気抵抗効果膜の上に、前記第 1 のレジスト層よりも大きい幅を有する所望パターンの第 2 のレジスト層を形成する工程と、

前記第 2 のレジスト層をマスクとして、前記第 1 の電極層の上に第 2 の電極層を形成する工程と、

前記第2のレジスト層を除去する工程と、を含むことを特徴とする薄膜磁気ヘッドの製造方法。

【請求項9】 磁気抵抗効果膜と、前記磁気抵抗効果膜にバイアス磁界を印加するための磁区制御層と、前記磁気抵抗効果膜に電流を供給するための電極層と、を備えた薄膜磁気ヘッドの製造方法であって、

前記磁気抵抗効果膜の上に、所望パターンのレジスト層を形成する工程と、

前記レジスト層をマスクとして、前記磁気抵抗効果膜を除去する工程と、

前記レジスト層をマスクとして、所定の第1の角度から前記磁区制御層及び前記電極層を構成する材料物質を順次デポジションすることにより、前記磁気抵抗効果膜の両側に前記磁区制御層及び第1の電極層を順次形成する工程と、

前記レジスト層をマスクとして、前記所定の第1の角度よりも大きい所定の第2の角度から前記電極層を構成する材料物質をデポジションすることにより、前記第1の電極層の上に第2の電極層を形成する工程と、

前記レジスト層を除去する工程と、を含むことを特徴とする薄膜磁気ヘッドの製造方法。

【請求項10】 磁気抵抗効果膜と、前記磁気抵抗効果膜にバイアス磁界を印加するための磁区制御層と、前記磁気抵抗効果膜に電流を供給するための電極層と、を備えた薄膜磁気ヘッドの製造方法であって、

前記磁気抵抗効果膜の上に、所望パターンの第1のレジスト層を形成する工程と、

前記第1のレジスト層をマスクとして、前記磁気抵抗効果膜を除去する工程と、

前記第1のレジスト層をマスクとして、前記磁気抵抗効果膜の両側に第1の磁区制御層及び第1の電極層を順次形成する工程と、

前記第1のレジスト層を除去する工程と、

前記磁気抵抗効果膜の上に、前記第1のレジスト層よりも大きい幅を有する所望パターンの第2のレジスト層を形成する工程と、

前記第2のレジスト層をマスクとして、前記第1の磁区制御層が露出するように前記第1の電極層を除去する工程と、

前記第2のレジスト層をマスクとして、露出した前記第1の磁区制御層の上に第2の磁区制御層を形成する工程と、

前記第2のレジスト層をマスクとして、前記第2の磁区制御層の上に第2の電極層を形成する工程と、

前記第2のレジスト層を除去する工程と、を含むことを特徴とする薄膜磁気ヘッドの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜磁気ヘッド、薄膜磁気ヘッド組立体、記憶装置及び薄膜磁気ヘッドの製造方法に関する。

【0002】

【従来の技術】

この種の薄膜磁気ヘッドとして、磁気抵抗効果膜と、磁気抵抗効果膜に電流を供給するための一対の電極と、磁気抵抗効果膜に縦バイアス磁界を印加するための手段（永久磁石膜）とを備え、磁気抵抗効果膜が一対の磁気シールド膜の間に配置されているものが知られている（例えば、特許文献1参照。）。特許文献1に記載された薄膜磁気ヘッドにおいては、上記電極部位置における磁気シールド膜の間隔が、感磁部（磁気抵抗効果膜）位置における磁気シールド膜の間隔より狭い、もしくは同じに設定されており、感磁部のトラック幅両端部に印加される磁界が減少するため、トラック幅方向の再生感度のにじみを低減でき、安定した再生出力を得ることができる。

【0003】

【特許文献1】

特開平11-25431号公報

【0004】

【発明が解決しようとする課題】

本発明は、磁気抵抗効果膜のトラック幅方向両端部における読みにじみをより一層低減して、実効トラック幅の拡大を効果的に抑制すると共に、極めて高い出

力安定性を得ることが可能な薄膜磁気ヘッド、当該薄膜磁気ヘッドを備える薄膜磁気ヘッド組立体及び記憶装置、並びに薄膜磁気ヘッドの製造方法を提供することを課題とする。

【 0 0 0 5 】

【課題を解決するための手段】

本発明に係る薄膜磁気ヘッドは、磁気抵抗効果膜と、磁気抵抗効果膜のトラック幅方向における両側に互いに離間して配置され、当該磁気抵抗効果膜にバイアス磁界を印加するための一对の磁区制御層と、磁気抵抗効果膜のトラック幅方向における両側に互いに離間して磁区制御層と積層された状態で配置され、当該磁気抵抗効果膜に電流を供給するための一对の電極層と、磁気抵抗効果膜、磁区制御層及び電極層を挟むように積層方向に離間して配置され、当該磁気抵抗効果膜をシールドするための第 1 及び第 2 のシールド層と、磁気抵抗効果膜及び磁区制御層と第 1 のシールド層との間に配置された第 1 の絶縁層と、磁気抵抗効果膜及び電極層と第 2 のシールド層との間に配置された第 2 の絶縁層と、を備え、電極層及び磁区制御層が積層された位置でのシールド層の間隔が磁気抵抗効果膜位置での間隔よりも狭く、且つ、電極層及び磁区制御層が積層された位置における磁区制御層の第 1 の絶縁層側の面を基準面として、当該基準面から電極層の第 2 の絶縁層側の面までの間隔が当該基準面から磁気抵抗効果膜の第 2 の絶縁層側の面までの間隔よりも狭く設定されていることを特徴としている。

【 0 0 0 6 】

本発明に係る薄膜磁気ヘッドでは、電極層及び磁区制御層が積層された位置における磁区制御層の第 1 の絶縁層側の面を基準面として、当該基準面から電極層の第 2 の絶縁層側の面までの間隔が、当該基準面から磁気抵抗効果膜の第 2 の絶縁層側の面までの間隔よりも狭く設定されているので、電極層及び磁区制御層が積層された位置におけるシールド層の間隔を磁気抵抗効果膜位置における間隔よりもより一層狭くすることができる。この結果、磁気抵抗効果膜のトラック幅方向両端部における読みにじみをより一層低減して、実効トラック幅の拡大を効果的に抑制すると共に、極めて高い出力安定性を得ることができる。

【 0 0 0 7 】

また、磁気抵抗効果膜におけるトラック幅方向の端部から当該トラック幅方向に所定長さ以上離れて配置され、電極層に電氣的に接続される新たな電極層を更に備えることが好ましい。このように構成した場合、電極層（上記新たな電極層を含む）の低抵抗化を図ることができ、再生出力を高めることができる。

【0008】

また、上記新たな電極層は、その厚みが電極層の厚みよりも大きく設定されていることが好ましい。このように構成した場合、電極層（上記新たな電極層を含む）の低抵抗化をより一層図ることができる。

【0009】

また、磁気抵抗効果膜におけるトラック幅方向の端部から当該トラック幅方向に所定長さ以上離れて配置され、磁区制御層に積層される新たな磁区制御層を更に備えることが好ましい。このように構成した場合、縦バイアス磁界が安定し、出力安定性を更に高めることができる。

【0010】

また、磁気抵抗効果膜の第2の絶縁層側の面におけるトラック幅方向の端部から50nm～200nmまでの範囲において、基準面から電極層の第2の絶縁層側の面までの間隔が基準面から磁気抵抗効果膜の第2の絶縁層側の面までの間隔よりも狭く設定されていることが好ましい。このように構成した場合、実効トラック幅の拡大をより一層効果的に抑制することができる。

【0011】

本発明に係る薄膜磁気ヘッド組立体は、上記薄膜磁気ヘッドと、当該薄膜磁気ヘッドが取り付けられる可撓性部材と、を備えることを特徴としている。

【0012】

本発明に係る薄膜磁気ヘッド組立体では、薄膜磁気ヘッドが上記薄膜磁気ヘッドとされるので、上述したように、磁気抵抗効果膜のトラック幅方向両端部における読みにじみをより一層低減して、実効トラック幅の拡大を効果的に抑制すると共に、極めて高い出力安定性を得ることができる。

【0013】

本発明に係る記憶装置は、信号を磁氣的に記録する磁気記録媒体と、磁気記録

媒体から漏洩する磁界の変化を電気信号に変換する上記薄膜磁気ヘッドと、を備えることを特徴としている。

【0014】

本発明に係る記憶装置では、薄膜磁気ヘッドが上記薄膜磁気ヘッドとされるので、上述したように、磁気抵抗効果膜のトラック幅方向両端部における読みにじみをより一層低減して、実効トラック幅の拡大を効果的に抑制すると共に、極めて高い出力安定性を得ることができる。

【0015】

本発明に係る薄膜磁気ヘッドの製造方法は、磁気抵抗効果膜と、磁気抵抗効果膜にバイアス磁界を印加するための磁区制御層と、磁気抵抗効果膜に電流を供給するための電極層と、を備えた薄膜磁気ヘッドの製造方法であって、磁気抵抗効果膜の上に、所望パターンの第1のレジスト層を形成する工程と、第1のレジスト層をマスクとして、磁気抵抗効果膜を除去する工程と、第1のレジスト層をマスクとして、磁気抵抗効果膜の両側に磁区制御層及び第1の電極層を順次形成する工程と、第1のレジスト層を除去する工程と、磁気抵抗効果膜の上に、第1のレジスト層よりも大きい幅を有する所望パターンの第2のレジスト層を形成する工程と、第2のレジスト層をマスクとして、第1の電極層の上に第2の電極層を形成する工程と、第2のレジスト層を除去する工程と、を含むことを特徴としている。

【0016】

本発明に係る薄膜磁気ヘッドの製造方法では、第1のレジスト層よりも大きい幅を有する所望パターンの第2のレジスト層をマスクとして、第1の電極層の上に第2の電極層を形成するので、第2の電極層が磁気抵抗効果膜におけるトラック幅方向の端部から当該トラック幅方向に第2のレジスト層の大きさに対応した長さ分だけ離れて配置されることとなる。この結果、磁気抵抗効果膜の両側に積層される磁区制御層及び電極層（第1の電極層）の厚みを小さく抑えることが可能な構成を容易に得ることができる。

【0017】

また、本発明に係る薄膜磁気ヘッドの製造方法は、磁気抵抗効果膜と、磁気抵

抗効果膜にバイアス磁界を印加するための磁区制御層と、磁気抵抗効果膜に電流を供給するための電極層と、を備えた薄膜磁気ヘッドの製造方法であって、磁気抵抗効果膜の上に、所望パターンのレジスト層を形成する工程と、レジスト層をマスクとして、磁気抵抗効果膜を除去する工程と、レジスト層をマスクとして、所定の第1の角度から磁区制御層及び電極層を構成する材料物質を順次デポジションすることにより、磁気抵抗効果膜の両側に磁区制御層及び第1の電極層を順次形成する工程と、レジスト層をマスクとして、所定の第1の角度よりも大きい所定の第2の角度から電極層を構成する材料物質をデポジションすることにより、第1の電極層の上に第2の電極層を形成する工程と、レジスト層を除去する工程と、を含むことを特徴としている。

【0018】

本発明に係る薄膜磁気ヘッドの製造方法では、レジスト層をマスクとして、第1の電極層を形成するために電極層を構成する材料物質をデポジションさせる所定の第1の角度よりも大きい所定の第2の角度から電極層を構成する材料物質をデポジションすることにより、第1の電極層の上に第2の電極層を形成するので、第2の電極層が上記所定の第2の角度に対応した長さ分だけ離れて配置されることとなる。この結果、磁気抵抗効果膜の両側に積層される磁区制御層及び電極層（第1の電極層）の厚みを小さく抑えることが可能な構成を容易に得ることができる。

【0019】

また、本発明に係る薄膜磁気ヘッドの製造方法は、磁気抵抗効果膜と、磁気抵抗効果膜にバイアス磁界を印加するための磁区制御層と、磁気抵抗効果膜に電流を供給するための電極層と、を備えた薄膜磁気ヘッドの製造方法であって、磁気抵抗効果膜の上に、所望パターンの第1のレジスト層を形成する工程と、第1のレジスト層をマスクとして、磁気抵抗効果膜を除去する工程と、第1のレジスト層をマスクとして、磁気抵抗効果膜の両側に第1の磁区制御層及び第1の電極層を順次形成する工程と、第1のレジスト層を除去する工程と、磁気抵抗効果膜の上に、第1のレジスト層よりも大きい幅を有する所望パターンの第2のレジスト層を形成する工程と、第2のレジスト層をマスクとして、第1の磁区制御層が露

出するように第1の電極層を除去する工程と、第2のレジスト層をマスクとして、露出した第1の磁区制御層の上に第2の磁区制御層を形成する工程と、第2のレジスト層をマスクとして、第2の磁区制御層の上に第2の電極層を形成する工程と、第2のレジスト層を除去する工程と、を含むことを特徴としている。

【0020】

本発明に係る薄膜磁気ヘッドの製造方法では、第1のレジスト層よりも大きい幅を有する所望パターンの第2のレジスト層をマスクとして、第1の磁区制御層の上に第2の磁区制御層及び第2の電極層を順次形成するので、第2の磁区制御層及び第2の電極層が磁気抵抗効果膜におけるトラック幅方向の端部から当該トラック幅方向に第2のレジスト層の大きさに対応した長さ分だけ離れて配置されることとなる。この結果、磁気抵抗効果膜の両側に積層される磁区制御層（第1の磁区制御層）及び電極層（第1の電極層）の厚みを小さく抑えることが可能な構成を容易に得ることができる。

【0021】

【発明の実施の形態】

本発明の実施形態に係る薄膜磁気ヘッド、薄膜磁気ヘッド組立体、記憶装置及び薄膜磁気ヘッドの製造方法について図面を参照して説明する。なお、説明において、同一要素又は同一機能を有する要素には、同一符号を用いることとし、重複する説明は省略する。また、図1～図22においては、断面を表すためのハッチングを省略している。また、「上」及び「下」なる語は図1～図22の上下に従う。

【0022】

（第1実施形態）

図1は薄膜磁気ヘッドMH1の断面構造を説明するための図である。薄膜磁気ヘッドMH1は、再生ヘッドとしての磁気検出素子MDと、記録ヘッドとしての磁界形成素子RDとを備えている。磁気検出素子MDは、非磁性基板1、下地層2、下部磁気シールド層3（第1のシールド層）、下部ギャップ層5（第1の絶縁層）、磁気抵抗効果（以下、MR（Magnetoresistive）膜と称する）7、磁区制御層9、電極層11、上部ギャップ層17（第2の絶縁層）、及び上部磁気

シールド層 19 (第 2 のシールド層) 等を備えている。なお、図 1 は、薄膜磁気ヘッド MH 1 の断面構造をエアベアリング面 (MR 膜 7 における各層の積層方向に平行な面) から見た図である。

【0023】

非磁性基板 1 は、 $\text{Al}_2\text{O}_3 \cdot \text{TiC}$ 等を材料としている。下地層 2 は、 Al_2O_3 等を材料とし、非磁性基板 1 上に成膜される。下地層 2 の厚みは、 $3\ \mu\text{m}$ 程度に設定される。下部磁気シールド層 3 は、 NiFe 、センダスト、 FeCo 、 FeCoNi 等の軟磁性体を材料とし、下地層 2 上に成膜される。下部磁気シールド層 3 の厚みは $0.5\ \mu\text{m} \sim 4\ \mu\text{m}$ の範囲、例えば $3\ \mu\text{m}$ 程度に設定される。下部ギャップ層 5 は、 Al_2O_3 、 AlN 、 SiO_2 等の非磁性の絶縁体を材料とし、下部磁気シールド層 3 上に成膜される。下部ギャップ層 5 の厚みは $5\ \text{nm} \sim 25\ \text{nm}$ に設定される。

【0024】

MR 膜 7 は GMR (Giant Magneto Resistive) 膜であって、ピン層 (反強磁性層)、ピンド層 (固定磁性層)、非磁性層、フリー層 (いずれも図示せず) を含んでいる。この MR 膜 7 は、下部ギャップ層 5 上に、下地層 (図示せず)、ピン層、ピンド層、非磁性層、フリー層、キャップ層 (図示せず) を薄膜で順次積層成膜、パターンニング (イオンミリング、RIE 等の手法が利用可能である) することにより構成される。ピン層とピンド層の界面では交換結合が生じ、これによりピンド層の磁化の向きが一定の方向 (トラック幅方向と直交する方向) に固定される。一方、フリー層は磁気記録媒体からの漏洩磁界、すなわち、外部磁界に応じて磁化の向きが変化する。

【0025】

ピン層は、 PtMn 、 NiO 等の反強磁性体を材料とし、下部ギャップ層 5 上に成膜された下地層 (例えば、 Ta 、 Ni 、 Fe 、 Cr 等を主材料とした膜) 上に成膜される。ピンド層は、 Fe 、 Co 、 Ni 、 NiFe 、 CoFe 、 CoZrNb 、 FeCoNi 等の強磁性体を材料とし、ピン層上に成膜される。非磁性層は、 Cu 、 Ru 、 Rh 、 Ir 、 Au 、 Ag 等の非磁性体を材料とし、ピンド層上に成膜される。フリー層は、 Fe 、 Co 、 Ni 、 NiFe 、 CoFe 、 CoZr

Nb、FeCoNi等の強磁性体を材料とし、非磁性層上に成膜される。MR膜7上には保護層（図示せず）が成膜されており、この保護層はTa、Al₂O₃等からなる。MR膜7の厚みは、15nm～45nmに設定される。

【0026】

磁区制御層9は、MR膜7を挟むように、当該MR膜7のトラック幅方向における両側に互いに離間して一対配置されて、MR膜7（フリー層）に縦バイアス磁界を印加する。フリー層の磁化の向きは、磁区制御層9からの縦バイアス磁界によりトラック幅方向と平行な方向となっており、ピンド層の磁化の向きと直交する方向である。この磁区制御層9は、CrTiやTiW等の下地層とCoPt、CoCrPt、CoTa等の硬磁性層との積層膜であり、高保磁力を有しており、MR膜7の両脇に保護層（図示せず）を介して設けられる。磁区制御層9は、NiFe/IrMn等の磁性層と反強磁性層との積層膜であってもよい。この保護層は、Ta等の金属材料からなり、MR膜7の側部及び下部ギャップ層5上に成膜される。磁区制御層9の間隔は、最狭位置において、50nm～200nmに設定されている。磁区制御層9上には保護層（図示せず）が成膜されており、この保護層はTa等からなる。磁区制御層9の厚みは15nm～50nmに設定される。なお、下地層には、CrTiやTiW等の他、Cr、WやFeCo又はこれらを含む体心立方格子になる物質を用いることができる。

【0027】

電極層11は、MR膜7のトラック幅方向における両側に互いに離間して一対配置されて、MR膜7（フリー層）に電流（センス電流）を供給する。この電極層11は、互いに電氣的に接続されている第1の電極層13と第2の電極層15とを含んでいる。一方の電極層11（第1の電極層13及び第2の電極層15）から供給された電子は、MR膜7のフリー層を通過して、他方の電極層11（第1の電極層13及び第2の電極層15）に伝達される。なお、電流は電子とは逆方向に流れることとなる。一対の電極層11の間隔は、最狭位置において、30nm～500nmに設定されている。電極層11の電気抵抗は、磁区制御層9の電気抵抗よりも低く設定されている。

【0028】

第1の電極層13は、Au、Ag、Ru、Rh、Cu、Cr、Mo等を含む低抵抗の導電性材料からなり、磁区制御層9上に形成された保護層上に成膜される。第1の電極層13上には保護層（図示せず）が成膜されており、この保護層はTa等からなる。第1の電極層13の厚みは、30nm以下に設定されている。磁区制御層9及び保護層が導電性材料からなる場合には、0nmに設定してもよい。MR膜7のトラック幅方向における両側において、第1の電極層13及び磁区制御層9が積層されている。

【0029】

第2の電極層15は、MR膜7におけるトラック幅方向の端部から当該トラック幅方向に所定長さ離れて配置されている。この第2の電極層15は、Au、Ag、Ru、Rh、Cu、Cr、Mo等を含む低抵抗の導電性材料からなり、第1の電極層13上に形成された保護層上に成膜される。第2の電極層15上には保護層（図示せず）が成膜されており、この保護層はTa、Al₂O₃等からなる。本実施形態においては、上記所定長さは、10nm～200nmの範囲、例えば100nm程度に設定されている。また、第2の電極層15の厚みは、第1の電極層13の厚みよりも概ね大きく、20nm～150nmに設定されている。なお、第1の電極層13と第2の電極層15とは、直接接触している必要はなく、電氣的に接続された状態であれば、導電性部材等を介していてもよい。

【0030】

上部ギャップ層17は、Al₂O₃、AlN、SiO₂等の非磁性絶縁材料からなる。この上部ギャップ層17は、MR膜7、電極層11（第1の電極層13及び第2の電極層15）上に形成された（第1の電極層13がない場合には、MR膜7、磁区制御層9及び第2の電極層15上に形成された）保護層上に成膜される。上部ギャップ層17の厚みは5nm～25nmに設定される。

【0031】

上部磁気シールド層19は、NiFe、センダスト、FeCo、FeCoNi等の軟磁性体を材料とし、上部ギャップ層17上に成膜される。上部磁気シールド層19の厚みは0.5μm～4μmの範囲、例えば2μm程度に設定される。各シールド層3、19は軟磁性体材料からなるため、検出対象の磁化遷移領域か

らの漏洩磁界以外の漏洩磁界のMR膜7内部への導入を抑制する。

【0032】

本実施形態の薄膜磁気ヘッドMH1においては、第1の電極層13及び磁区制御層9が積層された位置における磁区制御層9の下部ギャップ層5側の面を基準面Gとして、当該基準面Gから第1の電極層13の上部ギャップ層17側の面までの間隔L1が、当該基準面GからMR膜7の上部ギャップ層17側の面までの間隔L2よりも狭く設定されている。本実施形態においては、基準面Gから第1の電極層13の上部ギャップ層17側の面までの間隔L1は、最狭位置において30nm程度に設定されており、基準面GからMR膜7の上部ギャップ層17側の面までの間隔L2は、35nm程度に設定されている。また、基準面Gから第1の電極層13の上部ギャップ層17側の面までの間隔L1が基準面GからMR膜7の上部ギャップ層17側の面までの間隔L2よりも狭く設定されているのは、MR膜7におけるトラック幅方向の端部から当該トラック幅方向に10nm～200nmの範囲、例えば100nm程度離れた範囲とされている。なお、上述した間隔L1、L2の関係は、第1の電極層13及びMR膜7上に形成される夫々の保護膜を加味するものであってもよい。

【0033】

また、本実施形態の薄膜磁気ヘッドMH1においては、磁区制御層9及び第1の電極層13が積層された位置における下部磁気シールド層3と上部磁気シールド層19との間隔L3は、MR膜7の位置における下部磁気シールド層3と上部磁気シールド層19との間隔L4よりも狭く設定されている。本実施形態においては、下部磁気シールド層3と上部磁気シールド層19との間隔L3は、最狭位置において60nm程度に設定されており、下部磁気シールド層3と上部磁気シールド層19との間隔L4は、65nm程度に設定されている。また、下部磁気シールド層3と上部磁気シールド層19との間隔L3が下部磁気シールド層3と上部磁気シールド層19との間隔L4よりも狭く設定されているのは、MR膜7におけるトラック幅方向の端部から当該トラック幅方向に10nm～200nmの範囲、例えば100nm程度離れた範囲とされている。

【0034】

上述の「軟磁性」及び「硬磁性」なる語は保持力の大きさを示す規定であるが、全体として「軟磁性」及び「硬磁性」の機能を奏するものであれば、たとえば、微視的或いは特定領域において規定外の材料或いは構造を有するものであってもよい。たとえば、異なる磁気特性の材料を磁氣的に交換結合させたものや一部分に非磁性体が含まれるものでもあっても、全体として軟磁性及び硬磁性の機能を奏するものであればよい。

【0035】

なお、磁区制御層 9、第 1 の電極層 13 及び第 2 の電極層 15 は、夫々の層 9、13、15 の上下に形成される上記保護層を含んだ構成であってもよい。

【0036】

磁区制御層 9 及び電極層 11 は、レジスト層の影の影響により、MR 膜 7 近傍の位置の成膜レートと、MR 膜 7 から離れた位置の成膜レートとが異なることとなる。このため、磁区制御層 9 及び電極層 11 の厚みは、レジスト層の影の影響を受けない、MR 膜 7 から離れた位置での厚みである。

【0037】

次に、薄膜磁気ヘッド MH 1 の機能について説明する。MR 膜 7 のフリー層は、磁区制御層 9 によって、トラック幅方向に単磁区化されている。MR 膜 7 のフリー層の磁化の向きは、磁化遷移領域からの漏洩磁界によって、すなわち磁化遷移領域が N 極であるか S 極であるかによって、変化する。MR 膜 7 のピン層の磁化の向きはピン層によって固定されているので、フリー層とピン層の磁化方向間の余弦に対応する抵抗変化により、一对の電極層 11 間における電子の伝達率（電流）が変化することとなる。この電流の変化を検出することで、磁気記録媒体の検出対象の磁化遷移領域からの漏洩磁界が検出される。なお、供給電流（センス電流）を一定としつつ電圧を検出することで磁界検出を行なうこともでき、一般にはこのような形式の検出が用いられる。

【0038】

なお、データの磁気記録についても若干の説明をしておく。薄膜磁気ヘッド MH 1 の磁気検出素子 MD 上には磁気データを書き込むための磁界形成素子 RD が機械的に結合している。磁気記録媒体の磁化遷移領域への書き込みは、磁界形成

素子RDからの漏洩磁界によって行われる。

【0039】

次に、本第1実施形態の薄膜磁気ヘッドMH1、特に、磁気検出素子MDの製造方法の一例について、図2～図8を参照しながら説明する。図2～図8は、本実施形態に係る薄膜磁気ヘッドに含まれる磁気検出素子の製造方法の一例を説明するための図である。

【0040】

まず、図2に示されるように、非磁性基板（図示せず）上に、下部磁気シールド層3、下部ギャップ層5及びMR膜7を規定の厚みになるまで順次成膜して、形成する。下部磁気シールド層3の形成方法としては、湿式めっき法を用いることができ、下部ギャップ層5及びMR膜7の形成方法としては、スパッタリング法を用いることができる。なお、湿式めっき法においては、原材料を構成する金属を含む溶液を用いた無電界めっき法その他、電気めっき法も採用することができる。

【0041】

続いて、図3に示されるように、上記工程によって形成されたMR膜7上に、所望パターンの第1のレジスト層R1を形成する。第1のレジスト層R1は、下部R1bの幅（トラック幅方向での幅）が上部R1aの幅（トラック幅方向での幅）よりも狭くして、アンダカットが形成されている。第1のレジスト層R1の形成は、フォトリソグラフィ法を用いることができる。なお、本実施形態においては、上記第1のレジスト層R1の下部R1bの幅は、50nm程度に設定されており、同じく上部R1aの幅は、130nm程度に設定されている。なお、第1のレジスト層R1はブリッジ構造としてもよく、この場合には下部R1bの幅は0nmとなる。

【0042】

次に、図4に示されるように、上記工程によって形成された第1のレジスト層R1をマスクとして、MR膜7における露出した領域を表面側から下部ギャップ層5の表面まで深さ方向に沿って除去し、第1のレジスト層R1によりマスクされた部分のMR膜7を残留させる。このとき、下部ギャップ層5の表面側部分を

除去するようにしてもよい。残留した部分の間隔は、光学トラック幅となる。上記除去には、イオンミリング等のエッチング方法を用いることができる。

【0043】

そして、同じく図4に示されるように、上記工程によって残留したMR膜7の両側に、第1のレジスト層R1をマスクとして、下部ギャップ層5上に磁区制御層9及び第1の電極層13を規定の厚みになるまで順次成膜して、形成する。磁区制御層9及び第1の電極層13の形成方法としては、スパッタリング法若しくはイオンビームデポジション法等のPVD法を用いることができる。

【0044】

次に、図5に示されるように、第1のレジスト層R1を除去（リフトオフ）する。これにより、MR膜7が露出することとなる。

【0045】

次に、図6に示されるように、上記工程により露出したMR膜7及び第1の電極層13の上に、所望パターンの第2のレジスト層R2を形成する。第2のレジスト層R2は、下部R2bの幅（トラック幅方向での幅）が上部R2aの幅（トラック幅方向での幅）よりも狭くして、アンダカットが形成されている。第2のレジスト層R2の形成は、フォトリソグラフィ法を用いることができる。また、第2のレジスト層R2は、その幅（トラック幅方向での幅）が第1のレジスト層R1の幅よりも大きく、第1のレジスト層R1よりも大きな平面積を有している。なお、本実施形態においては、上記第2のレジスト層R2の下部R2bの幅は、150nm～400nmの範囲、例えば200nm程度に設定されており、同じく上部R2aの幅は、300nm～600nmの範囲、例えば400nm程度に設定されている。

【0046】

次に、上記工程によって形成された第2のレジスト層R2をマスクとして、第1の電極層13の表面を僅かに除去した後に、図7に示されるように、第2のレジスト層R2をマスクとして、第1の電極層13上に第2の電極層15を規定の厚みになるまで成膜して、形成する。これにより、第2の電極層15がMR膜7におけるトラック幅方向の端部から当該トラック幅方向に第2のレジスト層R2

の大きさに対応した長さ分だけ離れて配置されることとなる。第2の電極層15の形成方法としては、スパッタリング法若しくはイオンビームデポジション法等のPVD法を用いることができる。

【0047】

次に、図8に示されるように、第2のレジスト層R2を除去（リフトオフ）する。これにより、MR膜7が再び露出することとなる。

【0048】

更に、図9に示されるように、MR膜7、第1の電極層13及び第2の電極層15上に、上部ギャップ層17及び上部磁気シールド層19を規定の厚みになるまで順次成膜して、形成する。これにより、図1に示される構成の磁気検出素子MDが完成する。なお、上部ギャップ層17の形成方法としては、スパッタリング法を用いることができ、上部磁気シールド層19の形成方法としては、めっき法を用いることができる。

【0049】

続いて、本第1実施形態における磁気検出素子MDの製造方法の別の一例について、図2、及び、図10～図14を参照しながら説明する。図10～図14は、本実施形態に係る薄膜磁気ヘッドに含まれる磁気検出素子の製造方法の一例を説明するための図である。

【0050】

まず、図2に示されるように、非磁性基板上に下部磁気シールド層3、下部ギャップ層5及びMR膜7を順次形成する。続いて、図10に示されるように、上記工程によって形成されたMR膜7上に、所望パターンのレジスト層R3を形成する。レジスト層R3は、下部R3bの幅（トラック幅方向での幅）が上部R3aの幅（トラック幅方向での幅）よりも狭くして、アンダカットが形成されている。レジスト層R3の形成は、フォトリソグラフィ法を用いることができる。なお、本実施形態においては、上記レジスト層R3の下部R3bの幅は、50nm程度に設定されており、同じく上部R3aの幅は、130nm程度に設定されている。なお、レジスト層R3はブリッジ構造としてもよく、この場合には下部R3bの幅は0nmとなる。

【0051】

次に、図11に示されるように、上記工程によって形成されたレジスト層R3をマスクとして、MR膜7における露出した領域を表面側から下部ギャップ層5の表面まで深さ方向に沿って除去し、レジスト層R3によりマスクされた部分のMR膜7を残留させる。このとき、下部ギャップ層5の表面側部分を除去するようにしてもよい。残留した部分の間隔は、光学トラック幅となる。上記除去には、イオンミリング等のエッチング方法を用いることができる。

【0052】

そして、同じく図11に示されるように、上記工程によって残留したMR膜7の両側に、レジスト層R3をマスクとして、非磁性基板の主面に垂直な方向から所定の第1の角度だけ傾斜させた方向D1から磁区制御層9及び第1の電極層13を構成する上記材料物質をデポジションすることにより、下部ギャップ層5上に磁区制御層9及び第1の電極層13を規定の厚みになるまで順次成膜して、形成する。磁区制御層9及び第1の電極層13の形成方法としては、スパッタリング法若しくはイオンビームデポジション法等のPVD法を用いることができる。なお、本実施形態においては、上記所定の第1の角度は、40°程度に設定されている。

【0053】

次に、図12に示されるように、レジスト層R3をマスクとして、非磁性基板の主面に垂直な方向から所定の第2の角度だけ傾斜させた方向D2から第2の電極層15を構成する上記材料物質をデポジションすることにより、第1の電極層13上に第2の電極層15を規定の厚みになるまで成膜して、形成する。これにより、第2の電極層15がMR膜7におけるトラック幅方向の端部から当該トラック幅方向に上記所定の第2の角度に対応した長さ分だけ離れて配置されることとなる。第2の電極層15の形成方法としては、スパッタリング法若しくはイオンビームデポジション法等のPVD法を用いることができる。なお、本実施形態においては、上記所定の第2の角度は、0～30°の範囲、例えば20°程度に設定されている。

【0054】

次に、図 13 に示されるように、レジスト層 R3 を除去（リフトオフ）する。これにより、MR 膜 7 が露出することとなる。

【0055】

更に、図 14 に示されるように、MR 膜 7、第 1 の電極層 13 及び第 2 の電極層 15 上に、上部ギャップ層 17 及び上部磁気シールド層 19 を規定の厚みになるまで順次成膜して、形成する。これにより、図 1 に示される構成と同様の磁気検出素子 MD が完成する。なお、上部ギャップ層 17 の形成方法としては、スパッタリング法を用いることができ、上部磁気シールド層 19 の形成方法としては、めっき法を用いることができる。

【0056】

以上のように、本第 1 実施形態によれば、第 1 の電極層 13 及び磁区制御層 9 が積層された位置における磁区制御層 9 の下部ギャップ層 5 側の面を基準面 G として、当該基準面 G から第 1 の電極層 13 の上部ギャップ層 17 側の面までの間隔 L1 が、当該基準面 G から MR 膜 7 の上部ギャップ層 17 側の面までの間隔 L2 よりも狭く設定されているので、第 1 の電極層 13 及び磁区制御層 9 が積層された位置における下部磁気シールド層 3 と上部磁気シールド層 19 との間隔 L3 を、MR 膜 7 の位置における下部磁気シールド層 3 と上部磁気シールド層 19 との間隔 L4 よりもより一層狭くすることができる。この結果、MR 膜 7 のトラック幅方向両端部における読みにじみをより一層低減して、実効トラック幅の拡大を効果的に抑制すると共に、極めて高い出力安定性を得ることができる。

【0057】

また、本第 1 実施形態においては、MR 膜 7 におけるトラック幅方向の端部から当該トラック幅方向に所定長さ以上離れて配置され、第 1 の電極層 13 に電氣的に接続される第 2 の電極層 15 を更に備えている。これにより、電極層 11（第 1 の電極層 13 及び第 2 の電極層 15）の低抵抗化を図ることができ、再生出力を高めることができる。

【0058】

また、本第 1 実施形態において、第 2 の電極層 15 は、その厚みが第 1 の電極層 13 の厚みよりも大きく設定されている。これにより、電極層 11 の低抵抗化

をより一層図ることができる。

【0059】

また、本第1実施形態の磁気検出素子MDの製造方法によれば、第1のレジスト層R1よりも大きい幅を有する所望パターンの第2のレジスト層R2をマスクとして、第1の電極層13の上に第2の電極層15を形成するので、第2の電極層15がMR膜7におけるトラック幅方向の端部から当該トラック幅方向に第2のレジスト層R2の大きさに対応した長さ分だけ離れて配置されることとなる。この結果、MR膜7の両側に積層される磁区制御層9及び電極層11（第1の電極層13）の厚みを小さく抑えることが可能な構成を容易に得ることができる。

【0060】

また、本第1実施形態の磁気検出素子MDの別の製造方法によれば、レジスト層R3をマスクとして、第1の電極層13を形成するために当該第1の電極層13を構成する材料物質をデポジションさせる所定の第1の角度よりも大きい所定の第2の角度から第2の電極層15を構成する材料物質をデポジションすることにより、第1の電極層13の上に第2の電極層15を形成するので、第2の電極層15が上記所定の第2の角度に対応した長さ分だけ離れて配置されることとなる。この結果、MR膜7の両側に積層される磁区制御層9及び電極層11（第1の電極層13）の厚みを小さく抑えることが可能な構成を容易に得ることができる。

【0061】

（第2実施形態）

図15は薄膜磁気ヘッドMH2の断面構造を説明するための要部拡大略図である。薄膜磁気ヘッドMH2は、第1及び第2の磁区制御層を備える点等で薄膜磁気ヘッドMH1と相違する。なお、図15は、薄膜磁気ヘッドMH2の断面構造をエアベアリング面から見た図である。

【0062】

磁区制御層9は、第1の磁区制御層21と第2の磁区制御層23とを含んでいる。

【0063】

第1の磁区制御層21は、CrTiやTiW等の下地層とCoPt、CoCrPt、CoTa等の硬磁性層との積層膜であり、高保磁力を有しており、MR膜7の両脇に保護層（図示せず）を介して設けられる。第1の磁区制御層21は、NiFe/IrMn等の磁性層と反強磁性層との積層膜であってもよい。保護層は、Ta等の金属材料からなり、MR膜7の側部及び下部ギャップ層5上に成膜される。第1の磁区制御層21上には保護層（図示せず）が成膜されており、この保護層はTa等の金属材料からなる。第1の磁区制御層21の厚みは、15nm～50nmに設定される。なお、下地層は、CrTiやTiW等の他、Cr、WやFeCo又はこれらを含む体心立方格子になる物質を用いることができる。

【0064】

第2の磁区制御層23は、MR膜7におけるトラック幅方向の端部から当該トラック幅方向に所定長さ離れて配置されている。この第2の磁区制御層23は、CoCrPt、CoPt、CoTa、CrTi/CoCrPt積層膜等の高保磁力を有する硬磁性体を材料として、第1の磁区制御層21上に形成された保護層上に成膜される。第2の磁区制御層23は、NiFe/IrMn等の磁性層と反強磁性層との積層膜であってもよい。第2の磁区制御層23上には保護層（図示せず）が成膜されており、この保護層はTa等からなる。本実施形態においては、上記所定長さは、10nm～200nmの範囲、例えば100nm程度に設定されている。また、第2の磁区制御層23の厚みは、20nm～70nmに設定される。

【0065】

第1の電極層13は、第1の磁区制御層21上に形成された保護層上に成膜される。即ち、第1の電極層13は、MR膜7におけるトラック幅方向の端部から第2の磁区制御層23が配置されている位置までの上記所定長さにわたって配置されている。本実施形態においては、第1の電極層13の厚みは、0～30nmに設定されている。

【0066】

第2の電極層15は、第2の磁区制御層23上に形成された保護層上に成膜される。即ち、第2の電極層15は、MR膜7におけるトラック幅方向の端部から

当該トラック幅方向に上記所定長さ離れて配置されている。本実施形態においては、第2の電極層15の厚みは、20～100nmに設定されている。

【0067】

なお、第1の磁区制御層21、第2の磁区制御層23、第1の電極層13及び第2の電極層15は、夫々の層21、23、13、15の上下に形成される上記保護層を含んだ構成であってもよい。

【0068】

本実施形態の薄膜磁気ヘッドMH1においては、第1の電極層13及び第1の磁区制御層21が積層された位置における第1の磁区制御層21の下部ギャップ層5側の面を基準面Gとして、当該基準面Gから第1の電極層13の上部ギャップ層17側の面までの間隔L5が、当該基準面GからMR膜7の上部ギャップ層17側の面までの間隔L2よりも狭く設定されている。本実施形態においては、基準面Gから第1の電極層13の上部ギャップ層17側の面までの間隔L5は、最狭位置において30nm程度に設定されている。また、基準面Gから第1の電極層13の上部ギャップ層17側の面までの間隔L5が基準面GからMR膜7の上部ギャップ層17側の面までの間隔L2よりも狭く設定されているのは、MR膜7におけるトラック幅方向の端部から当該トラック幅方向に10nm～200nmの範囲、例えば100nm程度離れた範囲とされている。なお、上述した間隔L5、L2の関係は、第1の電極層13及びMR膜7上に形成される夫々の保護膜を加味するものであってもよい。

【0069】

また、本実施形態の薄膜磁気ヘッドMH1においては、第1の磁区制御層21及び第1の電極層13が積層された位置における下部磁気シールド層3と上部磁気シールド層19との間隔L6は、MR膜7の位置における下部磁気シールド層3と上部磁気シールド層19との間隔L4よりも狭く設定されている。本実施形態においては、下部磁気シールド層3と上部磁気シールド層19との間隔L6は、最狭位置において60nm程度に設定されている。また、下部磁気シールド層3と上部磁気シールド層19との間隔L6が下部磁気シールド層3と上部磁気シールド層19との間隔L4よりも狭く設定されているのは、MR膜7におけるト

トラック幅方向の端部から当該トラック幅方向に10nm～200nmの範囲、例えば100nm程度離れた範囲とされている。

【0070】

次に、本第2実施形態の薄膜磁気ヘッドMH2、特に、磁気検出素子MDの製造方法の一例について、図2、図3、及び、図16～図21を参照しながら説明する。図16～図21は、本実施形態に係る薄膜磁気ヘッドに含まれる磁気検出素子の製造方法の一例を説明するための図である。

【0071】

まず、図2に示されるように、非磁性基板（図示せず）上に、下部磁気シールド層3、下部ギャップ層5及びMR膜7を規定の厚みになるまで順次成膜して、形成する。続いて、図3に示されるように、上記工程によって形成されたMR膜7上に、所望パターンの第1のレジスト層R1を形成する。

【0072】

次に、図16に示されるように、上記工程によって形成された第1のレジスト層R1をマスクとして、MR膜7における露出した領域を表面側から下部ギャップ層5の表面まで深さ方向に沿って除去し、第1のレジスト層R1によりマスクされた部分のMR膜7を残留させる。そして、同じく図16に示されるように、上記工程によって残留したMR膜7の両側に、第1のレジスト層R1をマスクとして、下部ギャップ層5上に第1の磁区制御層21及び第1の電極層13を規定の厚みになるまで順次成膜して、形成する。なお、第1の磁区制御層21の形成方法は、第1実施形態における磁区制御層21の形成方法と同じであり、詳細な説明は省略する。

【0073】

次に、図17に示されるように、第1のレジスト層R1を除去（リフトオフ）する。その後、図18に示されるように、上記工程により露出したMR膜7及び第1の電極層13の上に、所望パターンの第2のレジスト層R2を形成する。

【0074】

次に、図19に示されるように、上記工程によって形成された第2のレジスト層R2をマスクとして、第1の電極層13における露出した領域を表面側から第

1の磁区制御層21の表面まで深さ方向に沿って除去し、第2のレジスト層R2によりマスクされた部分の第1の電極層13を残留させる。このとき、第1の磁区制御層21の表面側部分を除去するようにしてもよい。上記除去には、イオンミリング等のエッチング方法を用いることができる。

【0075】

そして、同じく図19に示されるように、上記工程によって残留した第1の電極層13の両側に、第2のレジスト層R2をマスクとして、第1の磁区制御層21上に第2の磁区制御層23及び第2の電極層15を規定の厚みになるまで順次成膜して、形成する。第2の磁区制御層23及び第2の電極層15の形成方法としては、スパッタリング法若しくはイオンビームデポジション法等のPVD法を用いることができる。

【0076】

次に、図20に示されるように、第2のレジスト層R2を除去（リフトオフ）する。そして、図21に示されるように、MR膜7、第1の電極層13及び第2の電極層15上に、上部ギャップ層17及び上部磁気シールド層19を規定の厚みになるまで順次成膜して、形成する。これにより、図15に示される構成の磁気検出素子MDが完成する。

【0077】

以上のように、本第2実施形態によれば、第1の電極層13及び第1の磁区制御層21が積層された位置における第1の磁区制御層21の下部ギャップ層5側の面を基準面Gとして、当該基準面Gから第1の電極層13の上部ギャップ層17側の面までの間隔L5が、当該基準面GからMR膜7の上部ギャップ層17側の面までの間隔L2よりも狭く設定されているので、第1の電極層13及び第1の磁区制御層21が積層された位置における下部磁気シールド層3と上部磁気シールド層19との間隔L6を、MR膜7の位置における下部磁気シールド層3と上部磁気シールド層19との間隔L4よりもより一層狭くすることができる。この結果、MR膜7のトラック幅方向両端部における読みにじみをより一層低減して、実効トラック幅の拡大を効果的に抑制すると共に、極めて高い出力安定性を得ることができる。

【0078】

また、本第2実施形態においては、MR膜7におけるトラック幅方向の端部から当該トラック幅方向に所定長さ以上離れて配置され、第1の磁区制御層21に積層される第2の磁区制御層23を更に備えている。これにより、MR膜7に印加される縦バイアス磁界が安定することとなり、出力安定性を更に高めることができる。

【0079】

また、本第2実施形態の磁気検出素子MDの製造方法によれば、第1のレジスト層R1よりも大きい幅を有する所望パターンの第2のレジスト層R2をマスクとして、第1の磁区制御層21の上に第2の磁区制御層23及び第2の電極層15を順次形成するので、第2の磁区制御層23及び第2の電極層15がMR膜7におけるトラック幅方向の端部から当該トラック幅方向に第2のレジスト層R2の大きさに対応した長さ分だけ離れて配置されることとなる。この結果、MR膜7の両側に積層される磁区制御層9（第1の磁区制御層21）及び電極層11（第1の電極層13）の厚みを小さく抑えることが可能な構成を容易に得ることができる。

【0080】

次に、基準面Gから電極層11の上部ギャップ層17側の面までの間隔L1、L5が基準面GからMR膜7の上部ギャップ層17側の面までの間隔L2よりも狭く設定されている領域の範囲について考察する。ここでは、エアベアリング面（MR膜7における各層の積層方向に平行な面）から向かって一方側部分だけで議論する。

【0081】

図22に示されるように、MR膜7の上部ギャップ層17側の面の端部から上記間隔L1、L5が上記間隔L2と同じとなる、即ち、電極層11の上部ギャップ層17側の面におけるMR膜7の上部ギャップ層17側の面と同じ高さとなる位置Aまでの距離を「X」として、この距離Xを変化させた場合の実効トラック幅の広がりについて調べる実験を行なった。実験で用いた磁気検出素子MDの構造は、エアベアリング面から見て概ね左右対称であった。

【0082】

実験では、距離Xが200nmの実効トラック幅を基準値「0」として、距離Xが0nm、10nm、20nm、50nm、100nmの時の実効トラック幅の基準値からの増減を観察した。なお、距離Xが0nmとは、電極層11の上部ギャップ層17側の面がMR膜7の上部ギャップ層17側の面よりも常に高いことを示している。

【0083】

実験した磁気検出素子MDは、図22に示されるように、第1実施形態の磁気検出素子MDにおいて電極層11を単層とした構成となっている。MR膜7は、エアベアリング面から見て概ね台形状を呈している。基準面GからMR膜7の上部ギャップ層17側の面までの間隔L2は、35nmに設定されており、基準面Gから電極層11の上部ギャップ層17側の面までの間隔L1、L5は、最狭位置において30nmに設定されている。また、磁気検出素子MDの端部における基準面Gから電極層11の上部ギャップ層17側の面までの間隔L7は、150nmに設定されている。

【0084】

実験結果を図23に示す。図23から分かるように、距離Xが100nm及び50nmである場合は、距離Xが200nmである場合における実効トラック幅とはほぼ同等の実効トラック幅を有している。しかしながら、距離Xが20nm、10nm及び0nmである場合は、その実効トラック幅が、距離Xが200nmである場合における実効トラック幅から大きく広がっている。

【0085】

以上のことから、MR膜7の上部ギャップ層17側の面におけるトラック幅方向の端部から50nm～200nmまでの範囲において、基準面Gから電極層11（第1の電極層13）の上部ギャップ層17側の面までの間隔L1、L5が基準面GからMR膜7の上部ギャップ層17側の面までの間隔L2よりも狭く設定することが好ましいことが分かる。なお、距離Xを200nmより大きくした場合には、電極層11において厚みの薄い部分が比較的長い距離形成され、電極層11における電気抵抗が大きくなってしまいうので好ましくない。

【0086】

次に、上述の薄膜磁気ヘッドMH1、MH2を用いた薄膜磁気ヘッド組立体HGAについて説明する。

【0087】

図24は、薄膜磁気ヘッド組立体HGA主要部の側面図である。薄膜磁気ヘッド組立体HGAは、薄膜磁気ヘッドとして上記第1実施形態の薄膜磁気ヘッドMH1を備えている。もちろん、第1実施形態の薄膜磁気ヘッドMH1の代わりに、第2実施形態の薄膜磁気ヘッドMH2を用いるようにしてもよい。

【0088】

この薄膜磁気ヘッド組立体HGAは、薄膜磁気ヘッドMH1に加えて可撓性部材51を備えている。可撓性部材51は、その長手方向と厚み方向を含む平面内において撓むことができる。薄膜磁気ヘッドMH1は、MR膜7における各層の積層方向と上記長手方向が略一致するように可撓性部材51に取り付けられる。薄膜磁気ヘッドMH1は、非磁性基板1をスライダとする機能素子であって、スライダ1はMR膜7における各層の積層方向に沿って延びる凹溝53を有している。この凹溝53は薄膜磁気ヘッドMH1浮上時の空力特性を規定する。

【0089】

薄膜磁気ヘッドMH1が取り付けられた可撓性部材51は、薄膜磁気ヘッドMH1の受ける力によって厚み方向に撓むこととなる。MR膜7における各層の積層方向（可撓性部材51の長手方向）は記録媒体の磁化遷移領域が連続してなるトラック周方向に略一致する。

【0090】

次に、上述の薄膜磁気ヘッドMH1、MH2（薄膜磁気ヘッド組立体HGA）を用いた記憶装置HDについて説明する。

【0091】

図25は記憶装置HDの平面図である。この記憶装置HDは筐体61を備えている。筐体61内部には薄膜磁気ヘッドMH1を有する薄膜磁気ヘッド組立体HGAに加えて磁気記録媒体RMが配置される。なお、薄膜磁気ヘッド組立体HGAは、可撓性部材51の長手方向の一端部が固定されるアーム63を有するヘッ

ド・ジンバル・アセンブリである。アーム 63 が中央部近傍に設けられた回転軸 65 を中心として回転すると、薄膜磁気ヘッド MH1 が磁気記録媒体 RM の径方向に沿って移動する。また、磁気記録媒体 RM は円盤状であって、その周方向に沿って磁化遷移領域が連続してなるトラックを有し、円盤の中心に設けられた回転軸 67 を中心として回転すると磁化遷移領域は薄膜磁気ヘッド MH1 に対して相対的に移動する。

【0092】

薄膜磁気ヘッド MH1 (MR 膜 7) は、MR 膜 7 における各層の積層方向に平行な面が磁気記録媒体 RM に対向するように配置されており、磁気記録媒体 RM の磁化遷移領域からの漏洩磁界を検出することができる。この MR 膜 7 における各層の積層方向に平行な面がエアベアリング面 ABS となる。なお、磁気記録媒体 RM への記録方式としては長手磁気記録方式や垂直磁気記録方式等を用いることができる。

【0093】

以上のように、上記の薄膜磁気ヘッド組立体 HGA 及び記憶装置 HD では、薄膜磁気ヘッドが第 1 及び第 2 実施形態の薄膜磁気ヘッド MH1, MH2 とされるので、MR 膜 7 のトラック幅方向両端部における読みにじみをより一層低減して、実効トラック幅の拡大を効果的に抑制すると共に、極めて高い出力安定性を得ることができる。

【0094】

本発明は、上述した実施形態に限定されるものではない。たとえば、各層の構造は単一の材料からなる必要はなく、全体として規定の機能を奏するものであれば、複数の材料からなることとしてもよく、たとえば、合金として、混在して或いは層構造の組み合わせとしてもよい。また、これらの層間に他の層が介在することとしてもよい。

【0095】

また、本実施形態においては、薄膜磁気ヘッド MH1, MH2 が再生ヘッドとしての磁気検出素子 MD と、記録ヘッドとしての磁界形成素子 RD とを備えているが、磁気検出素子 MD のみを備えるものであってもよい。

【0 0 9 6】

また、本実施形態においては、電極層 1 1 を第 1 の電極層 1 3 と第 2 2 電極層とを含んだ構成としているが、図 2 2 に示されるように、単層構成としてもよい。

【0 0 9 7】

【発明の効果】

以上、詳細に説明したとおり、本発明によれば、磁気抵抗効果膜のトラック幅方向両端部における読みにじみをより一層低減して、実効トラック幅の拡大を効果的に抑制すると共に、極めて高い出力安定性を得ることが可能な薄膜磁気ヘッド、当該薄膜磁気ヘッドを備える薄膜磁気ヘッド組立体及び記憶装置、並びに薄膜磁気ヘッドの製造方法を提供することができる。

【図面の簡単な説明】

【図 1】

第 1 実施形態に係る薄膜磁気ヘッドの構造を説明するための断面図である。

【図 2】

第 1 実施形態に係る薄膜磁気ヘッドに含まれる磁気検出素子の製造方法の一例を説明するための断面図である。

【図 3】

図 2 に続く工程を説明するための断面図である。

【図 4】

図 3 に続く工程を説明するための断面図である。

【図 5】

図 4 に続く工程を説明するための断面図である。

【図 6】

図 5 に続く工程を説明するための断面図である。

【図 7】

図 6 に続く工程を説明するための断面図である。

【図 8】

図 7 に続く工程を説明するための断面図である。

【図 9】

図 8 に続く工程を説明するための断面図である。

【図 1 0】

第 1 実施形態に係る薄膜磁気ヘッドに含まれる磁気検出素子の製造方法の一例を説明するための断面図である。

【図 1 1】

図 1 0 に続く工程を説明するための断面図である。

【図 1 2】

図 1 1 に続く工程を説明するための断面図である。

【図 1 3】

図 1 2 に続く工程を説明するための断面図である。

【図 1 4】

図 1 3 に続く工程を説明するための断面図である。

【図 1 5】

第 2 実施形態に係る薄膜磁気ヘッドの構造を説明するための断面図である。

【図 1 6】

第 1 実施形態に係る薄膜磁気ヘッドに含まれる磁気検出素子の製造方法の一例を説明するための断面図である。

【図 1 7】

図 1 6 に続く工程を説明するための断面図である。

【図 1 8】

図 1 7 に続く工程を説明するための断面図である。

【図 1 9】

図 1 8 に続く工程を説明するための断面図である。

【図 2 0】

図 1 9 に続く工程を説明するための断面図である。

【図 2 1】

図 2 0 に続く工程を説明するための断面図である。

【図 2 2】

実験で用いた薄膜磁気ヘッド（磁気検出素子）の構造を説明するための断面図である。

【図 2 3】

MR 膜の上部ギャップ層側の面の端部からの距離 X と実効トラック幅の広がりとの関係を示す線図である。

【図 2 4】

薄膜磁気ヘッド組立体主要部の側面図である。

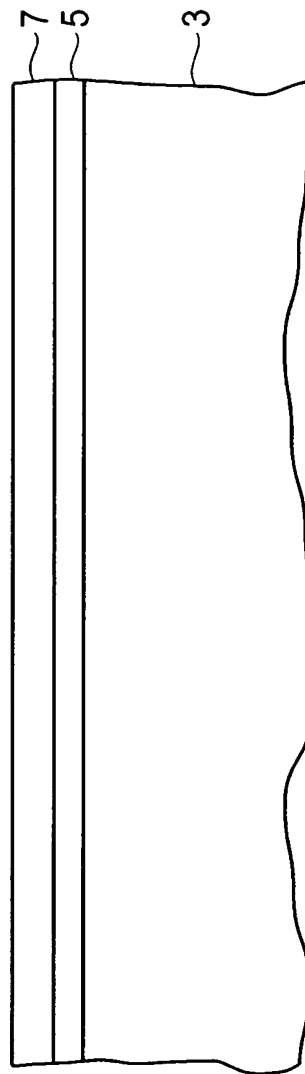
【図 2 5】

図 2 4 に示す薄膜磁気ヘッド組立体を用いた記憶装置の平面図である。

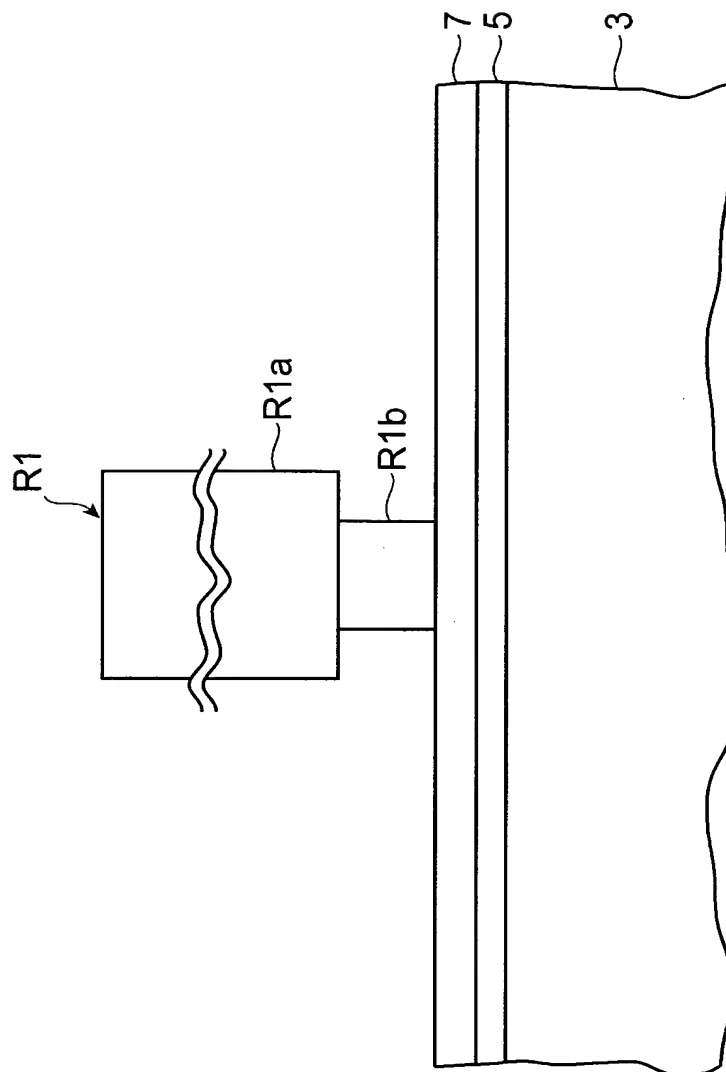
【符号の説明】

1…非磁性基板、3…下部磁気シールド層、5…下部ギャップ層、7…磁気抵抗効果（MR）膜、9…磁区制御層、11…電極層、13…第1の電極層、15…第2の電極層、17…上部ギャップ層、19…上部磁気シールド層、21…第1の磁区制御層、23…第2の磁区制御層、G…基準面、HD…記憶装置、HGA…薄膜磁気ヘッド組立体、MD…磁気検出素子、MH1, MH2…薄膜磁気ヘッド、R1…第1のレジスト層、R2…第2のレジスト層、R3…レジスト層、RM…磁気記録媒体。

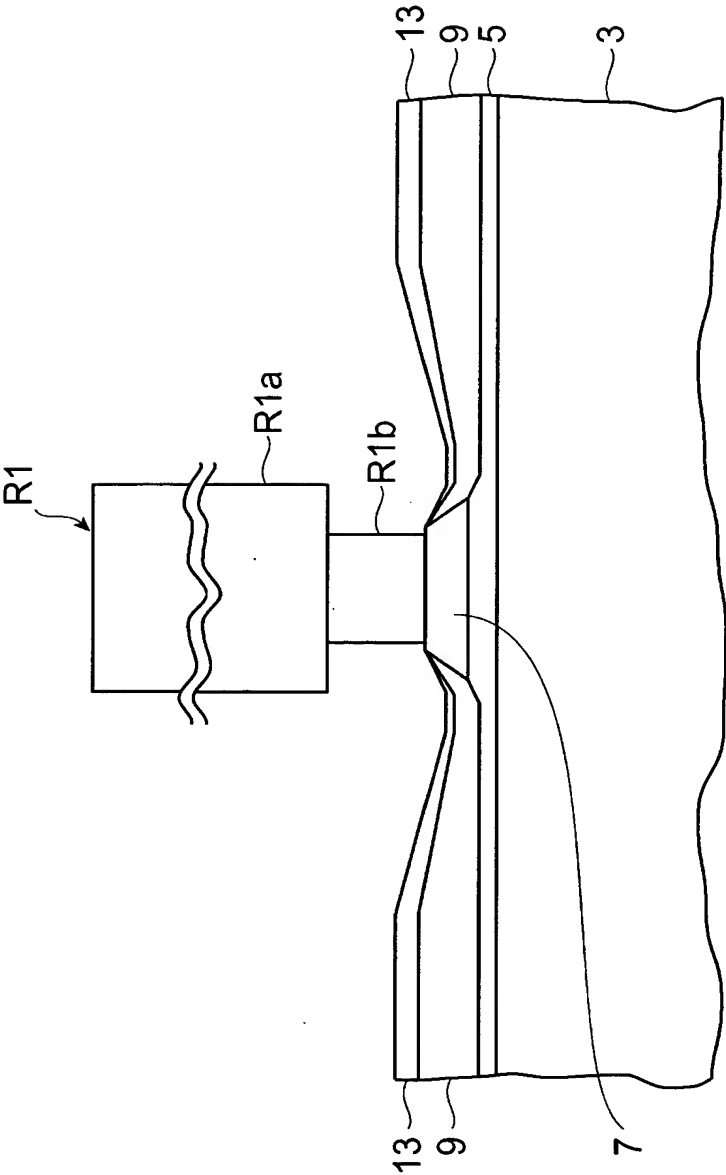
【図 2】



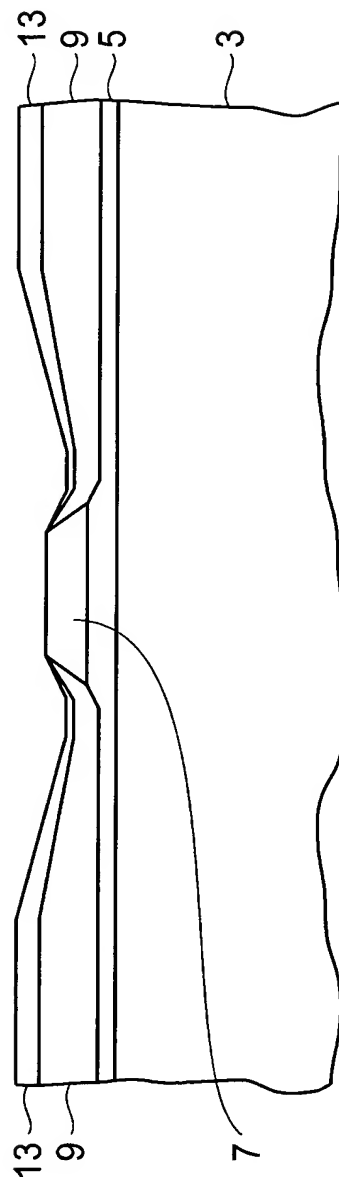
【図 3】



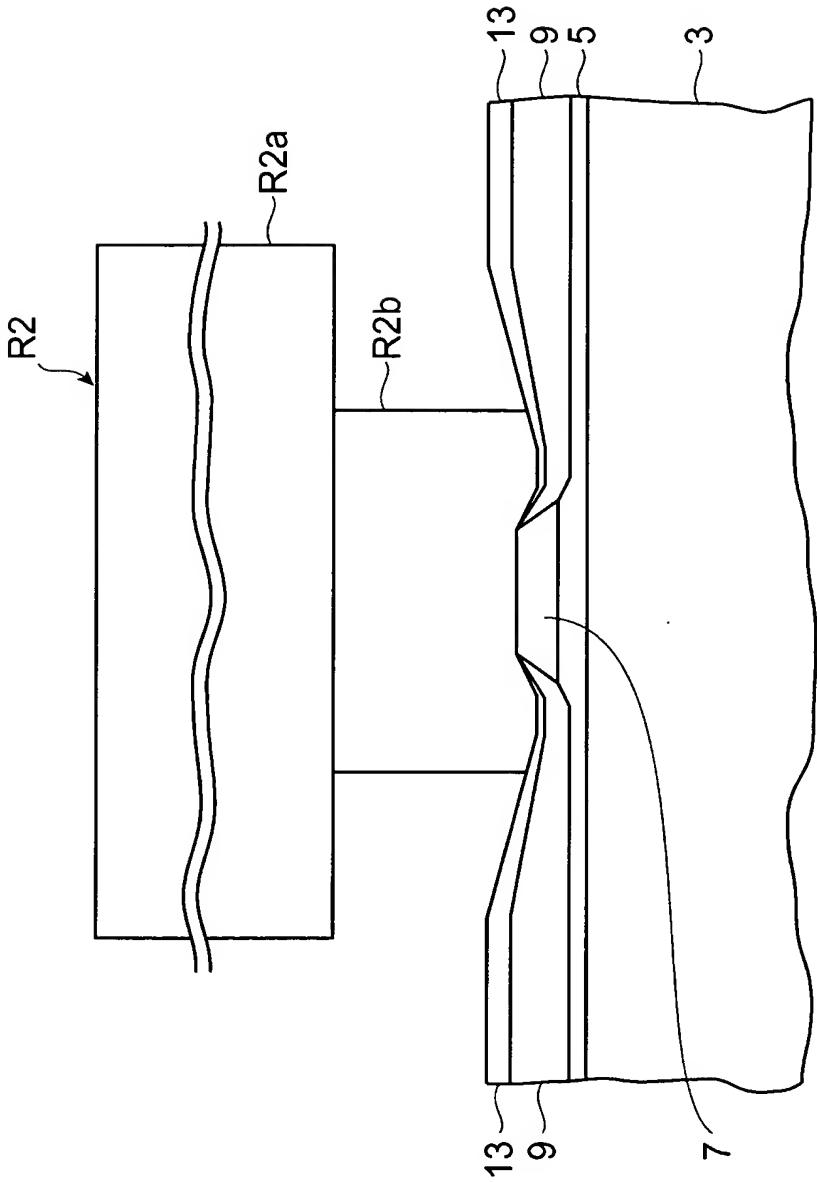
【図 4】



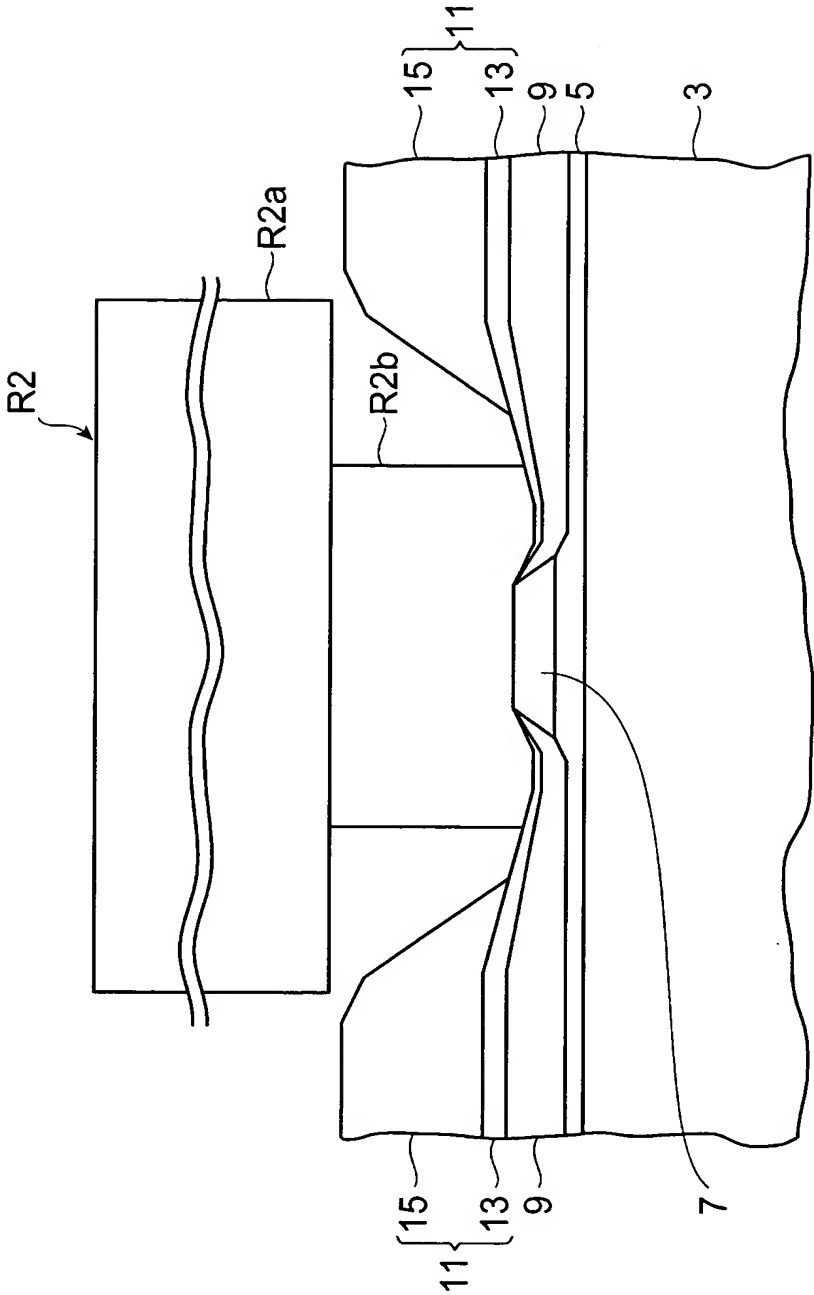
【図 5】



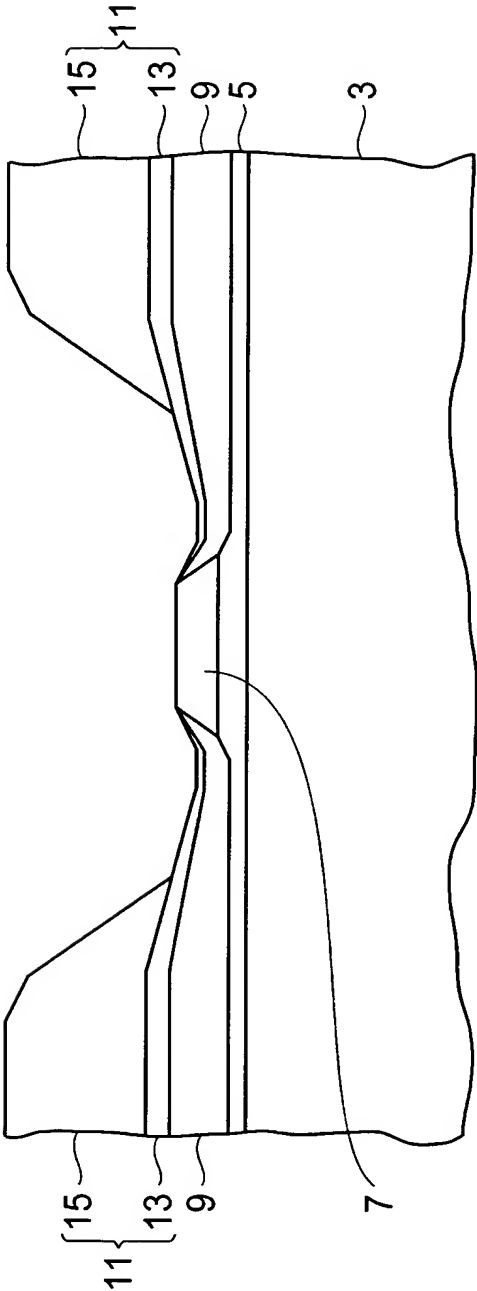
【図 6】



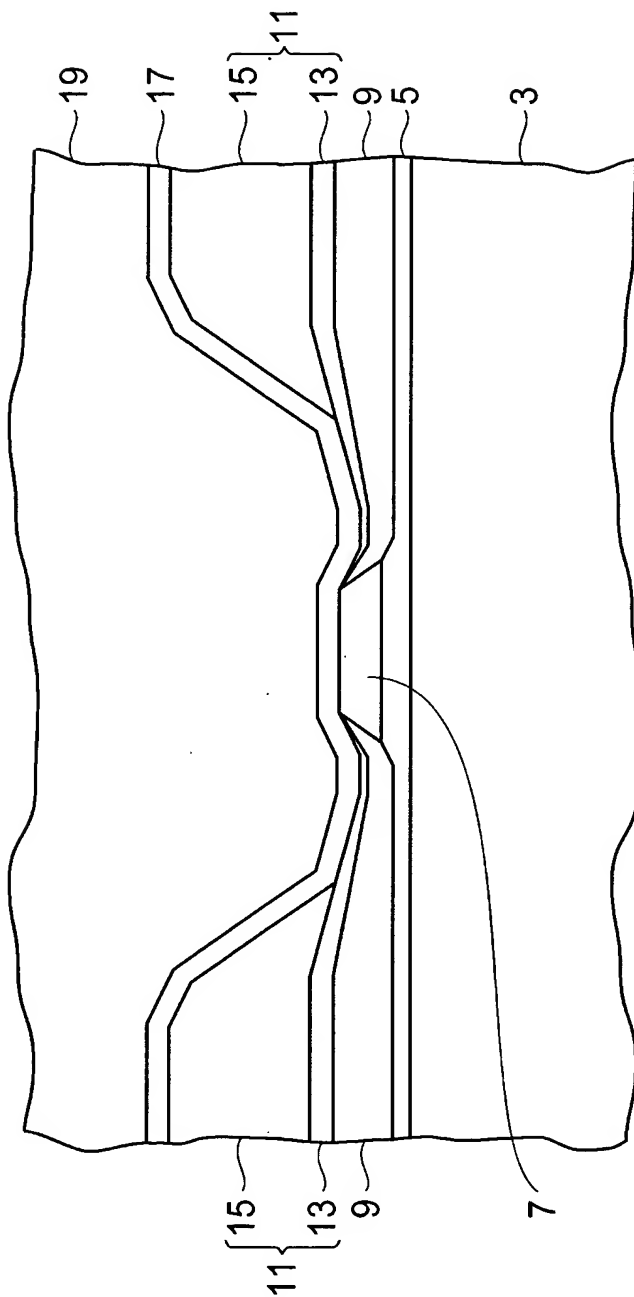
【図 7】



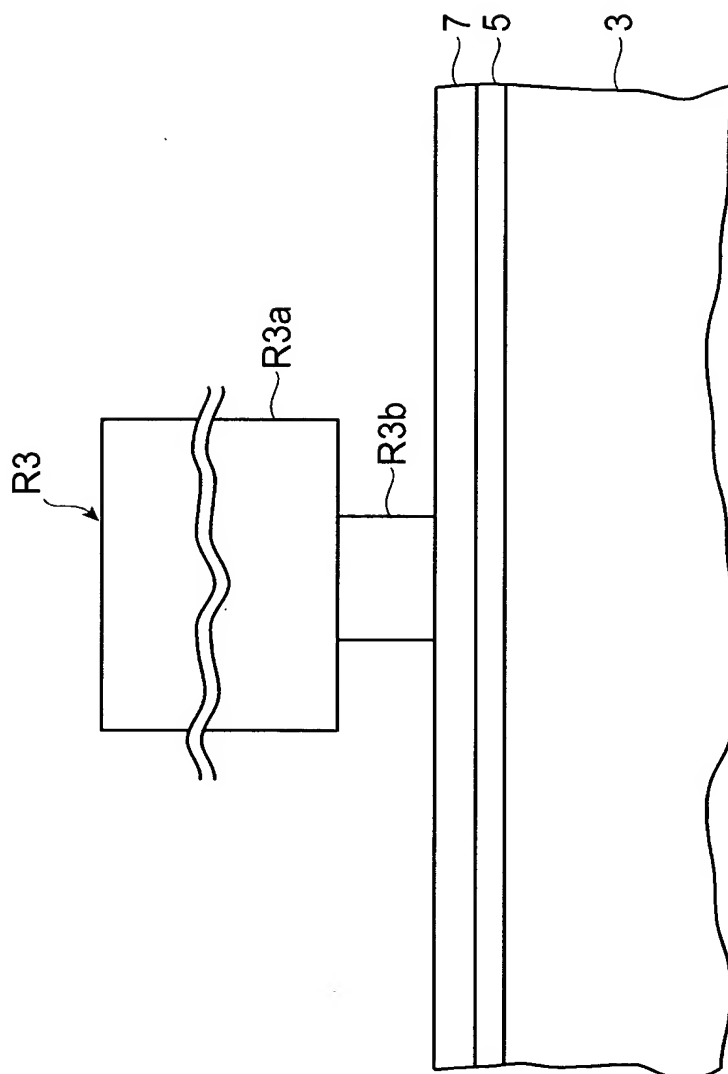
【図 8】



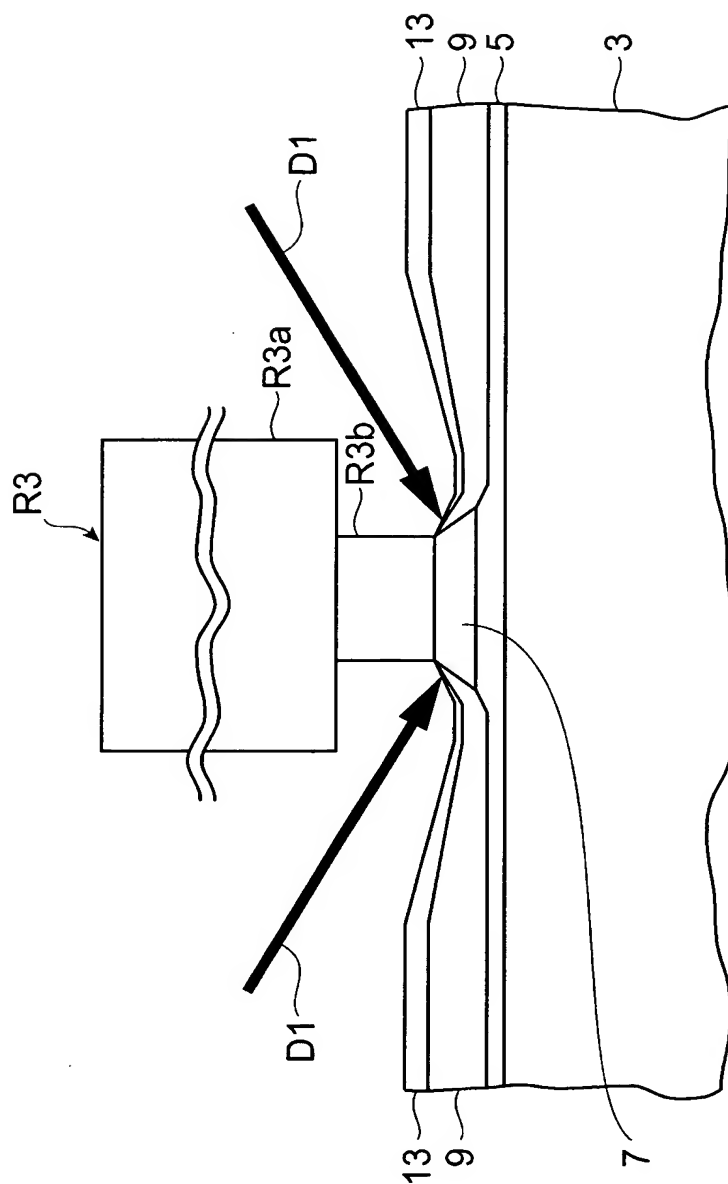
【図 9】



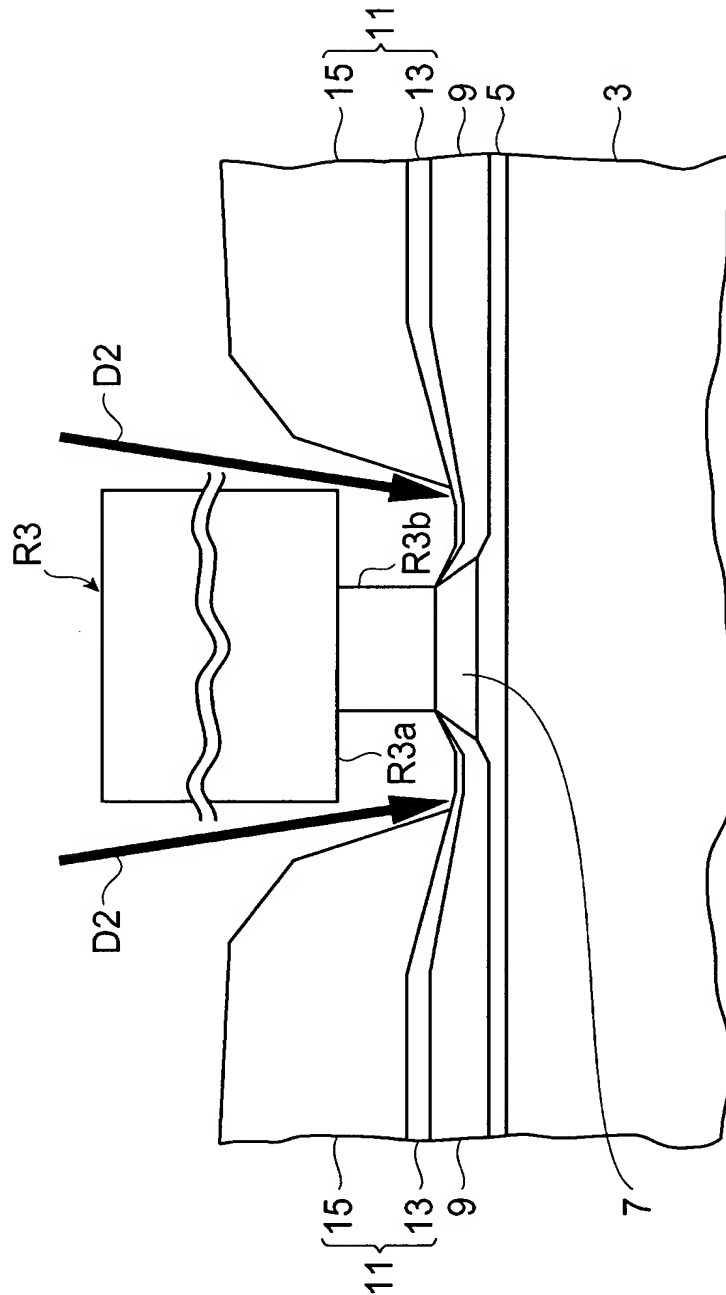
【図 10】



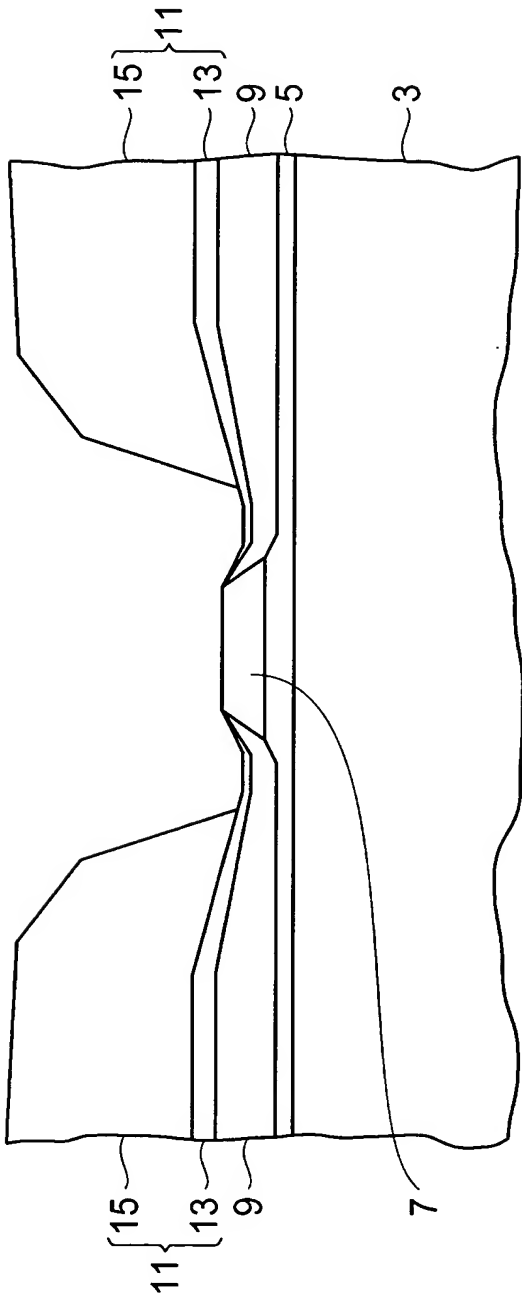
【図 11】



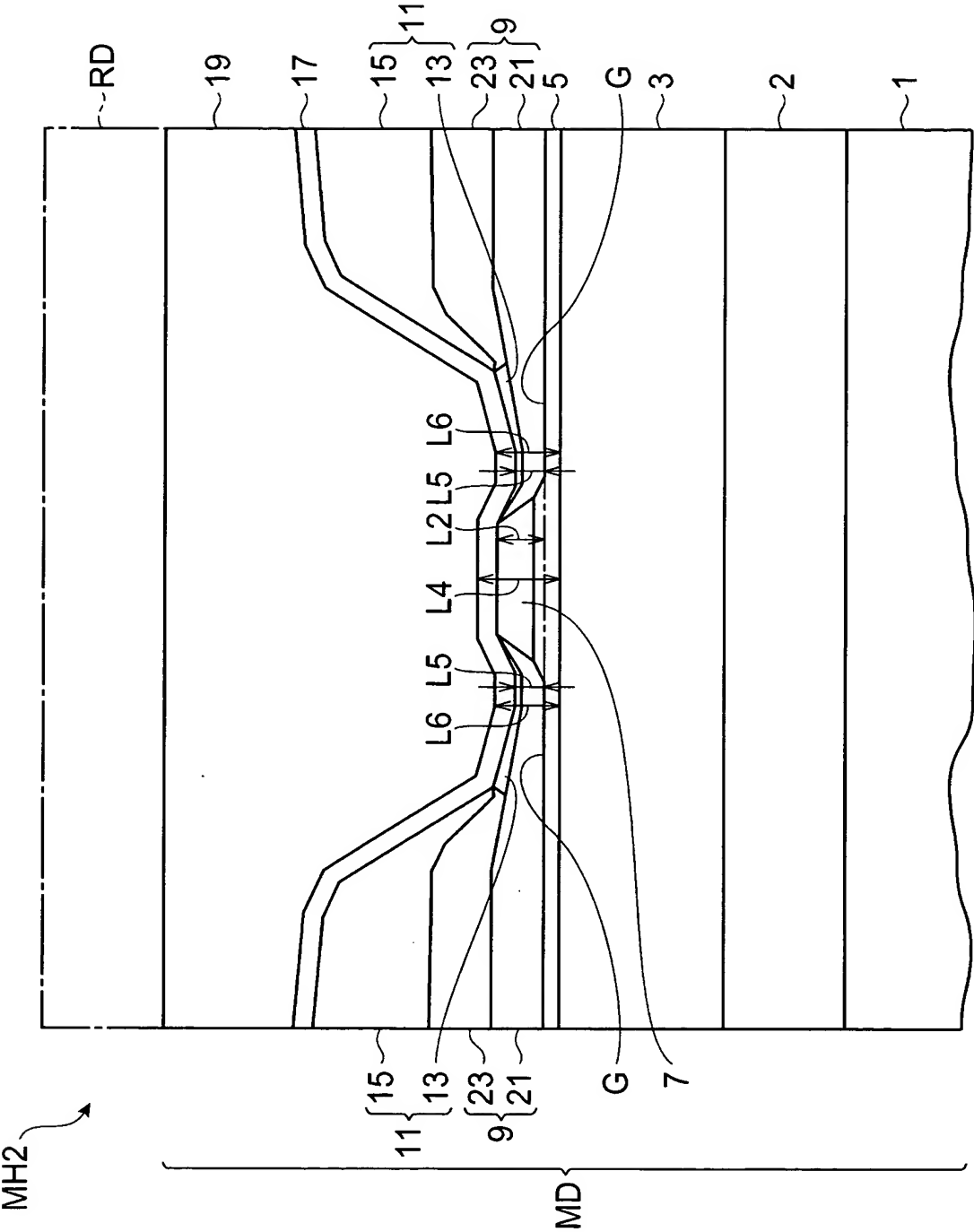
【図 12】



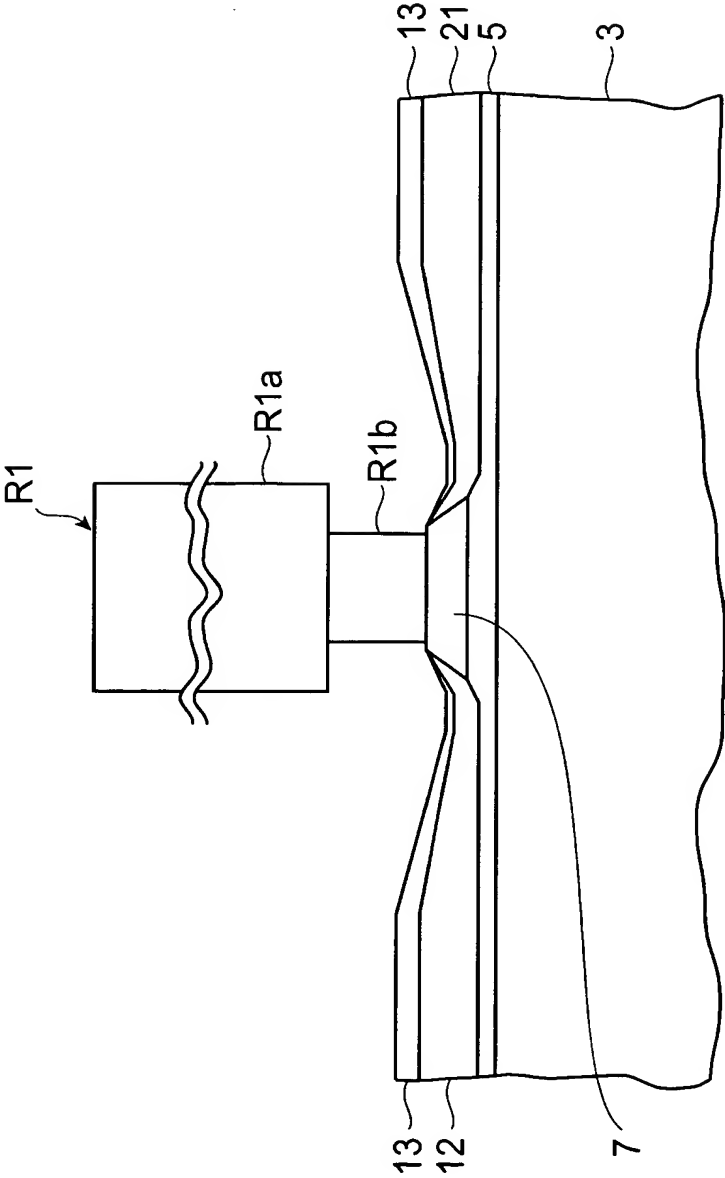
【図 13】



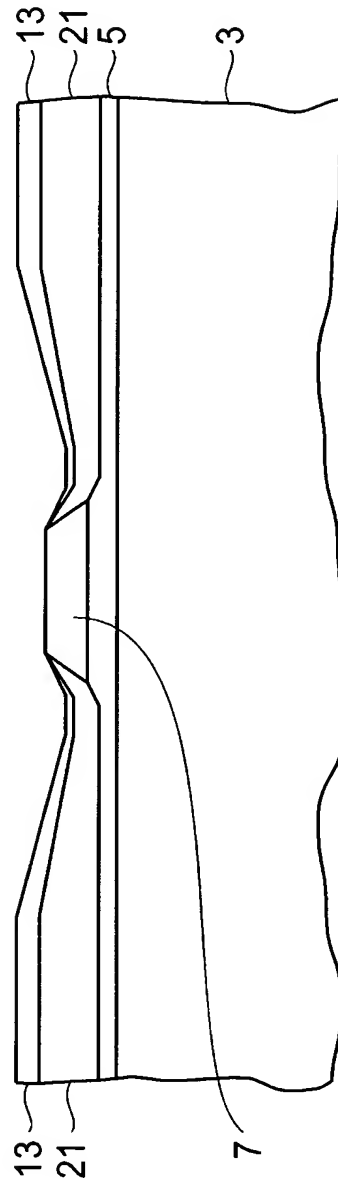
【図 15】



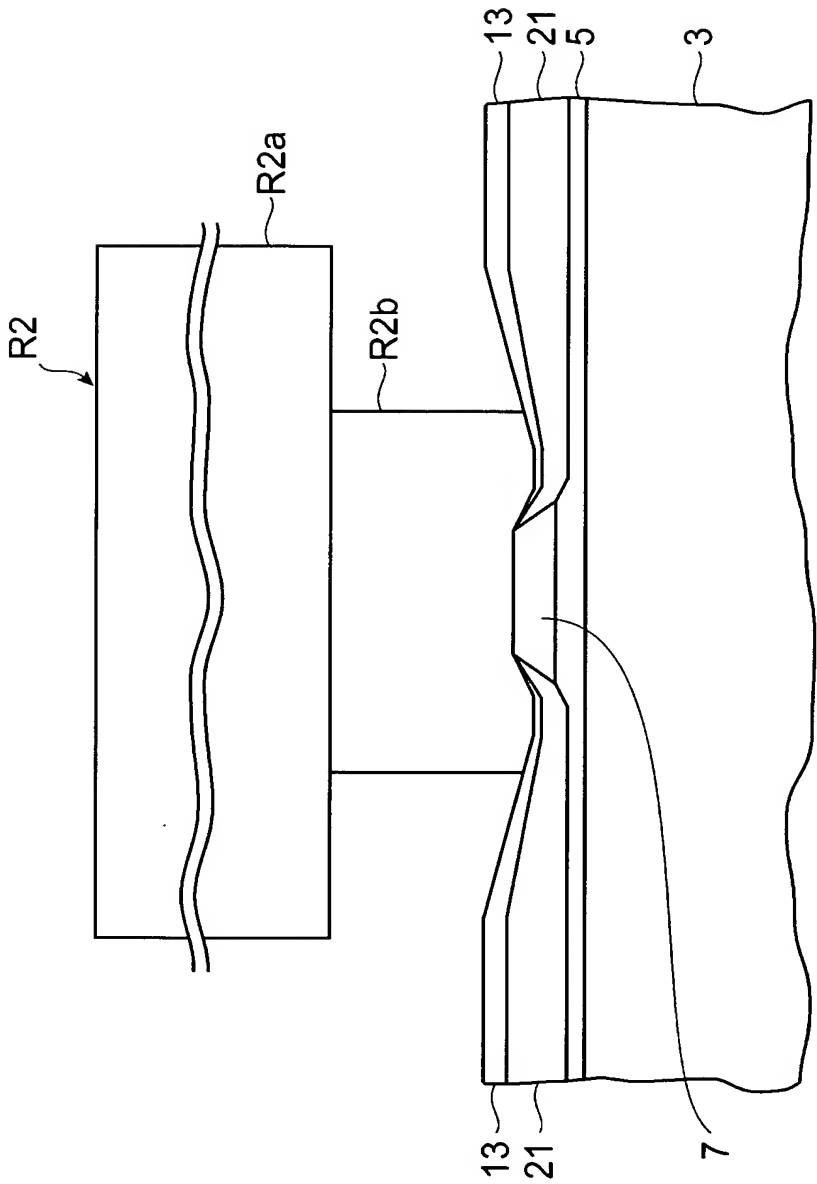
【図 16】



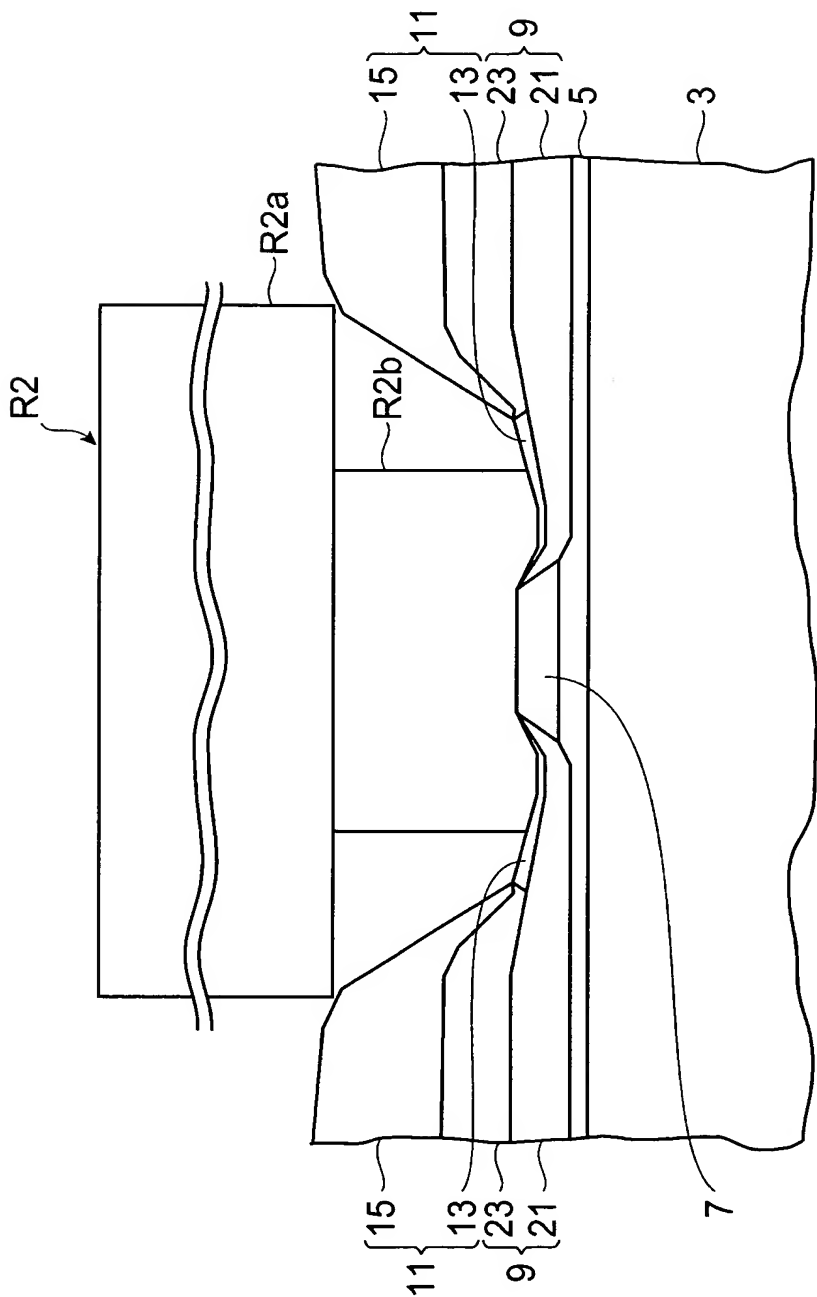
【図 17】



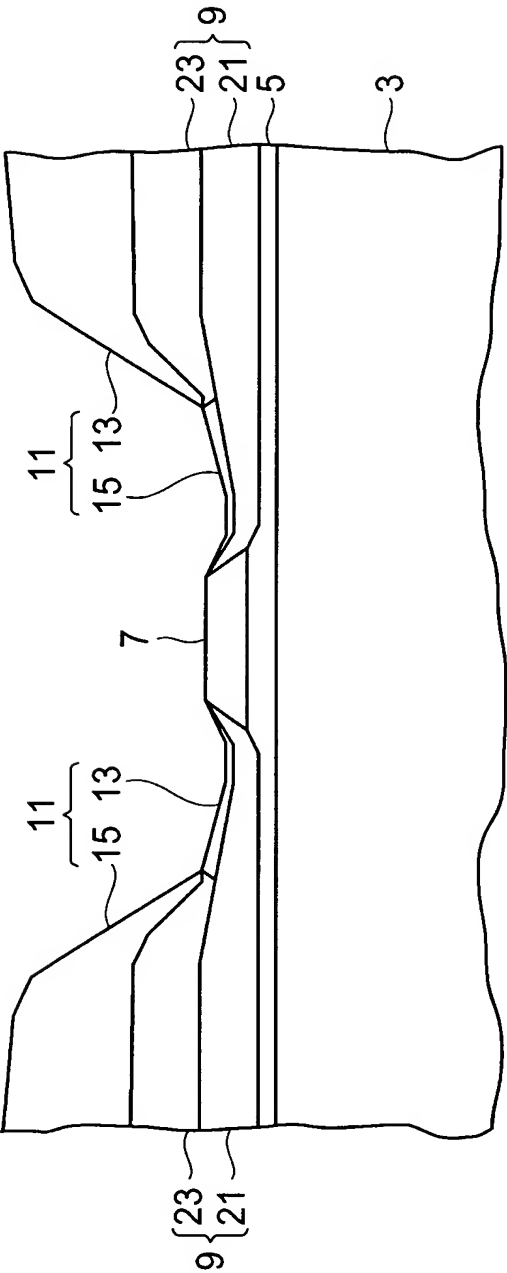
【図 18】



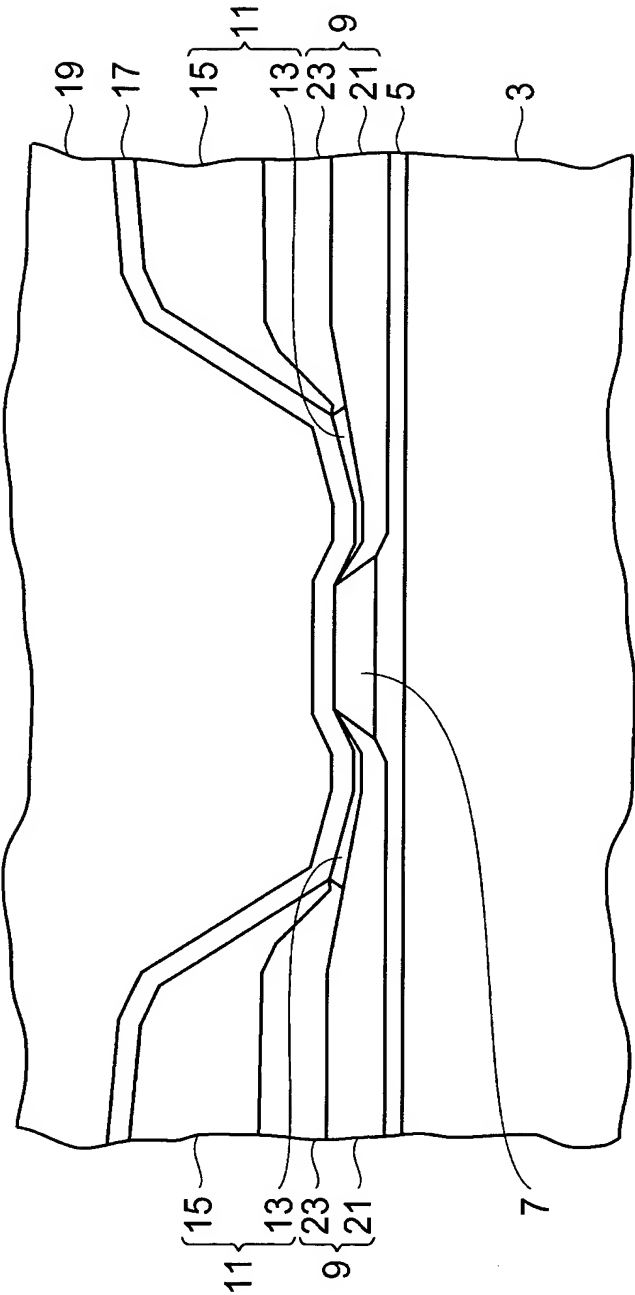
【図 19】



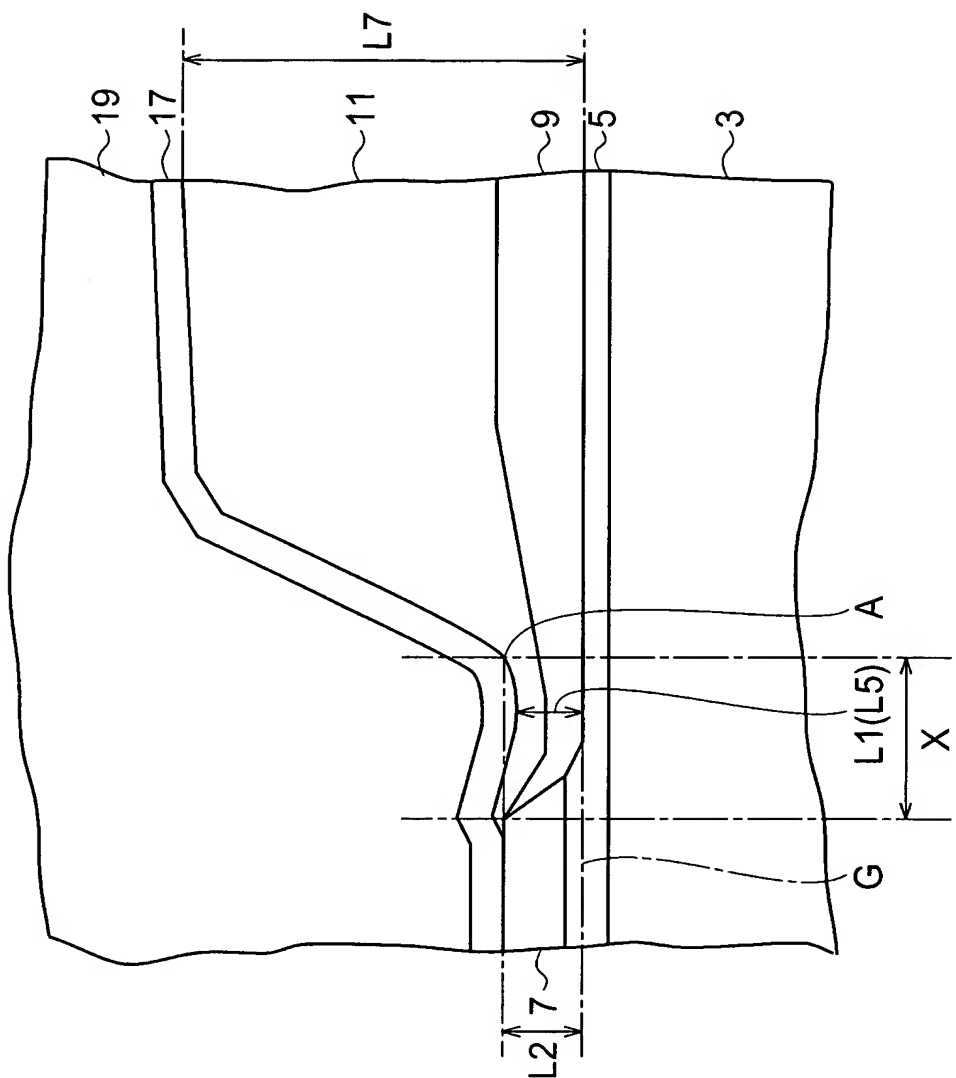
【図 2 0】



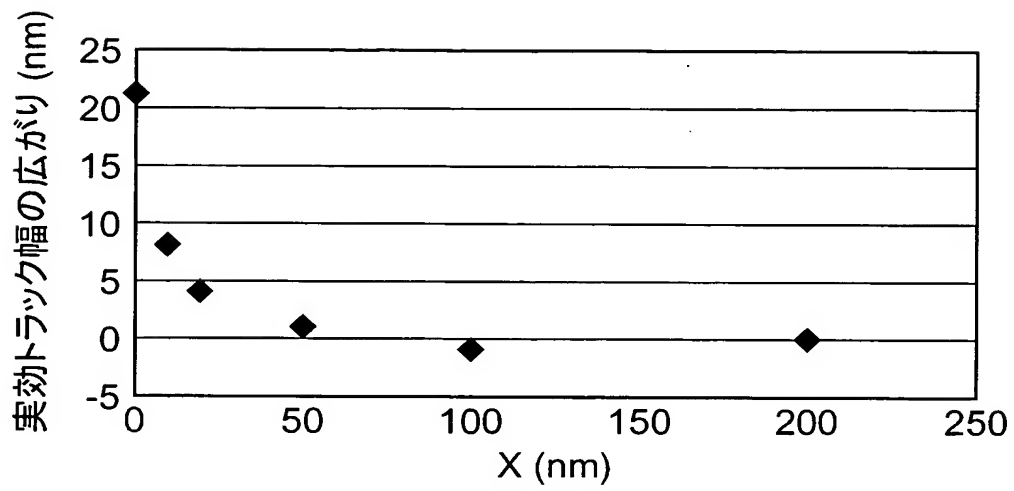
【図 21】



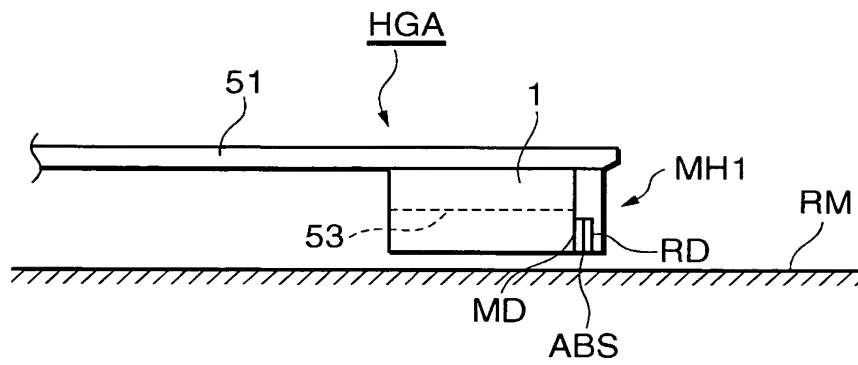
【図 22】



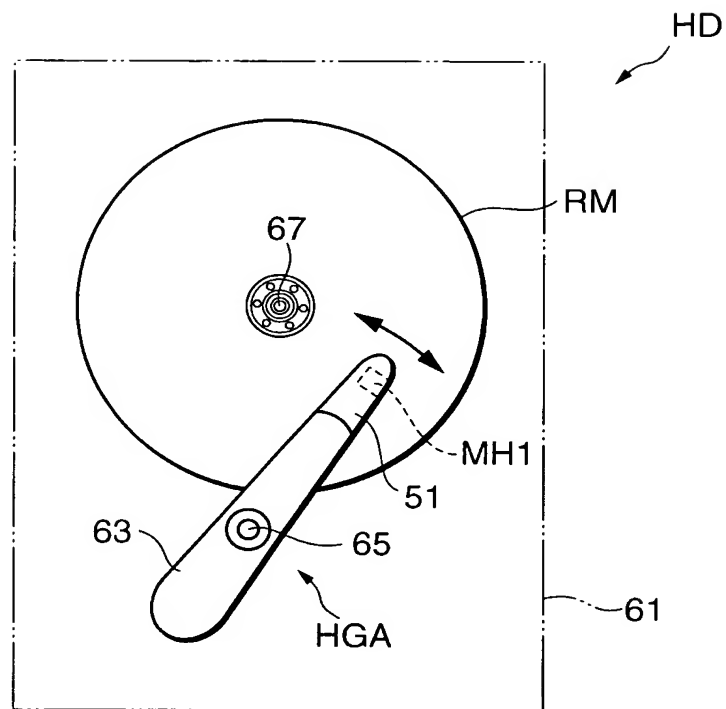
【図 23】



【図 24】



【図 25】



【書類名】 要約書

【要約】

【課題】 磁気抵抗効果膜のトラック幅方向両端部における読みにじみをより一層低減して、実効トラック幅の拡大を効果的に抑制すると共に、極めて高い出力安定性を得ることが可能な薄膜磁気ヘッドを提供すること。

【解決手段】 MR膜7のトラック幅方向における両側において、第1の電極層13及び磁区制御層9が積層されている。第1の電極層13及び磁区制御層9が積層された位置における磁区制御層9の下部ギャップ層5側の面を基準面Gとして、当該基準面Gから第1の電極層13の上部ギャップ層17側の面までの間隔L1が、当該基準面GからMR膜7の上部ギャップ層17側の面までの間隔L2よりも狭く設定されている。また、磁区制御層9及び第1の電極層13が積層された位置における下部磁気シールド層3と上部磁気シールド層19との間隔L3は、MR膜7の位置における下部磁気シールド層3と上部磁気シールド層19との間隔L4よりも狭く設定されている。

【選択図】 図1

特願 2 0 0 2 - 3 7 7 6 7 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 6 7]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都中央区日本橋 1 丁目 1 3 番 1 号

氏 名

ティーディーケイ株式会社

2. 変更年月日

2 0 0 3 年 6 月 2 7 日

[変更理由]

名称変更

住 所

東京都中央区日本橋 1 丁目 1 3 番 1 号

氏 名

T D K 株式会社